

JP10003792

Publication Title:

SEMICONDUCTOR MEMORY AND MEMORY SYSTEM

Abstract:

Abstract of JP10003792

PROBLEM TO BE SOLVED: To provide a semiconductor memory of multivalued storage which can shorten a time required for writing. SOLUTION: In a semiconductor memory of multivalued storage provided with a memory cell storing four values of '1-4' with difference of threshold values, when a logic level of low is inputted in a first writing operation, a memory cell is made a state '1', when a logic level of high is inputted, a memory cell is made a state '2', when a logic level of low is inputted in a second writing operation, a memory cell being a state '1' as a result of the first writing is kept a state '1' as it is, when a logic level of high is inputted, the memory cell is made a state '3', when a logic level of low is inputted in the second writing operation, a memory cell being a state '2' as a result of the first writing is kept a state '2' as it is, when a logic level of high is inputted, the memory cell is made a state '4'.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-3792

(43) 公開日 平成10年(1998) 1月6日

(51) Int.Cl.⁶
G 1 1 C 16/04

識別記号 庁内整理番号

F I
G 1 1 C 17/00

技術表示箇所

3 0 8

審査請求 未請求 請求項の数82 F D (全 78 頁)

(21) 出願番号 特願平8-302335

(22) 出願日 平成8年(1996)10月29日

(31) 優先権主張番号 特願平8-98627

(32) 優先日 平8(1996)4月19日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 竹内 健

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

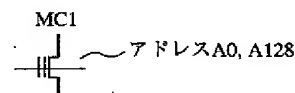
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体記憶装置及び記憶システム

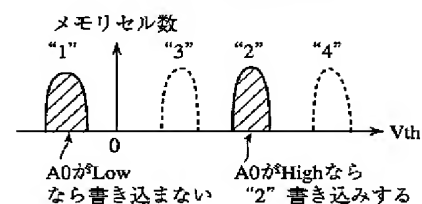
(57) 【要約】

【課題】 書き込みに要する時間を短縮することができる多値記憶の半導体記憶装置の提供。

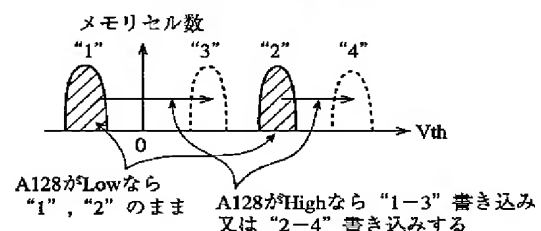
【解決手段】 “1”～“4”までの4値をしきい値の違いで記憶するメモリセルを備えた多値記憶の半導体記憶装置において、第1の書き込み動作においてメモリセルは、“L”の論理レベルが入力すると“1”状態になり、“H”の論理レベルが入力すると“2”状態になり、第1の書き込み動作の結果“1”状態であるメモリセルは第2の書き込み動作において、“L”の論理レベルが入力すると“1”状態のままになり、“H”の論理レベルが入力すると“3”状態になり、第1の書き込み動作の結果“2”状態であるメモリセルは第2の書き込み動作において、“L”の論理レベルが入力すると“2”状態のままになり、“H”の論理レベルが入力すると“4”状態になる。



<上位ページ (アドレスA0) への書き込み>



<下位ページ (アドレスA128) への書き込み>



【特許請求の範囲】

【請求項1】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは3以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルを備えた半導体記憶装置において、メモリセルが“1”状態、“2”状態、…、“m-1”状態、“m”状態（mは2以上の自然数）のいずれかを保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、前記メモリセルを“1”状態、“2”状態、…、“k-1”状態、“k”状態（kはmより大きい自然数）のいずれかにすることを特徴とする半導体記憶装置。

【請求項2】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは3以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、

前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、

前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるベリファイ手段とを備え、

前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、

メモリセルが“1”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基づいて、前記メモリセルを“1”状態、“2”状態、…、“m-1”状態、“m”状態（mは2以上の自然数）のいずれかのしきい値レベルにする第1の書き込みモードと、

メモリセルが“1”状態、“2”状態、…、“m-1”状態、“m”状態のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“k-1”状態、

“k”状態（kはmより大きい自然数）のいずれかのしきい値レベルにする第2の書き込みモードとを有し、

前記第1の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp1} 、前記第2の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp2} としたとき、 $\Delta V_{pp1} < \Delta V_{pp2}$ の関係を満足することを特徴とする半導体記憶装置。

【請求項3】“1”状態が消去状態であり、“2”状

態、“3”状態、…、“m-1”状態、“m”状態のしきい値分布幅が“m+1”状態、“m+2”状態、…、“k-1”状態、“k”状態のしきい値分布幅よりも狭いことを特徴とする請求項1又は請求項2記載の半導体記憶装置。

【請求項4】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルを備えた半導体記憶装置において、

メモリセルが“1”状態、“2”状態、…、“ $2^{m-1}-1$ ”状態、“ 2^m-1 ”状態（mは $n=2^m$ を満たす自然数）のいずれかを保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ 2^m-1 ”状態、“ 2^m ”状態のいずれかにすることを特徴とする半導体記憶装置。

【請求項5】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、

前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、

前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるベリファイ手段とを備え、

前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、

メモリセルが“1”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基づいて、前記メモリセルを“1”状態又は“2”状態のいずれかのしきい値レベルにする第1の書き込みモードと、

メモリセルが“1”状態、“2”状態、…、“ $2^{m-1}-1$ ”状態、“ 2^m-1 ”状態（mは $n=2^m$ を満たす自然数）のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ 2^m-1 ”状態、“ 2^m ”状態のいずれかのしきい値レベルにする第mの書き込みモードとを有し、

前記第1の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp1} 、前記第mの書き込みモードにおける前

記バイアス値の増加幅を ΔV_{pp1} としたとき、 $\Delta V_{pp1} < \Delta V_{ppm}$ の関係を満足することを特徴とする半導体記憶装置。

【請求項6】“2”状態のしきい値分布幅が“ $2^{n-1} + 1$ ”状態，“ $2^{n-1} + 2$ ”状態，…，“ $2^n - 1$ ”状態，“ 2^n ”状態のしきい値分布幅よりも狭いことを特徴とする請求項5記載の半導体記憶装置。

【請求項7】“1”状態が消去状態であり、“2”状態，“3”状態，…，“ $2^{n-1} - 1$ ”状態，“ 2^{n-1} ”状態のしきい値分布幅が“ $2^{n-1} + 1$ ”状態，“ $2^{n-1} + 2$ ”状態，…，“ $2^n - 1$ ”状態，“ 2^n ”状態のしきい値分布幅よりも狭いことを特徴とする請求項4又は請求項5記載の半導体記憶装置。

【請求項8】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルを備えた半導体記憶装置において、メモリセルが“1”状態又は“2”状態を保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、前記メモリセルを“1”状態，“2”状態，“3”状態又は“4”状態にすることを特徴とする半導体記憶装置。

【請求項9】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは3以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるベリファイ手段とを備え、

前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、メモリセルが“1”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基づいて、前記メモリセルを“1”状態又は“2”状態のいずれかのしきい値レベルにする第1の書き込みモードと、メモリセルが“1”状態又は“2”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態，“2”状態，“3”状態又

は“4”状態のいずれかのしきい値レベルにする第2の書き込みモードとを有し、

前記第1の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp1} 、前記第2の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp2} としたとき、 $\Delta V_{pp1} < \Delta V_{pp2}$ の関係を満足することを特徴とする半導体記憶装置。

【請求項10】“1”状態が消去状態であり、“2”状態のしきい値分布幅が“3”状態及び“4”状態のしきい値分布幅よりも狭いことを特徴とする請求項8又は請求項9記載の半導体記憶装置。

【請求項11】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルを備えた半導体記憶装置において、メモリセルが“1”状態，“2”状態，…，“r-1”状態，“r”状態（rは2以上の自然数）のいずれかを保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、前記メモリセルを“1”状態，“2”状態，…，“s-1”状態，“s”状態（sはrより大きい自然数）のいずれかにし、メモリセルが“1”状態，“2”状態，…，“s-1”状態，“s”状態のいずれかを保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、前記メモリセルを“1”状態，“2”状態，…，“t-1”状態，“t”状態（tはsより大きい自然数）のいずれかにすることを特徴とする半導体記憶装置。

【請求項12】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、

前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、

前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるベリファイ手段とを備え、前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、

メモリセルが“1”状態，“2”状態，…，“r-1”状態，“r”状態（rは2以上の自然数）のいずれかの

しきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“s-1”状態、“s”状態（sはrより大きい自然数）のいずれかのしきい値レベルにする第j（jは2以上の自然数）の書き込みモードと、メモリセルが“1”状態、“2”状態、…、“s-1”状態、“s”状態のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“t-1”状態、“t”状態（tはsより大きい自然数）のいずれかのしきい値レベルにする第j+1の書き込みモードとを有し、前記第jの書き込みモードにおける前記バイアス値の増加幅を ΔV_{ppj} 、前記第j+1の書き込みモードにおける前記バイアス値の増加幅を $\Delta V_{pp(j+1)}$ としたとき、 $\Delta V_{ppj} < \Delta V_{pp(j+1)}$ の関係を満足することを特徴とする半導体記憶装置。

【請求項13】“r+1”状態、“r+2”状態、…、“s-1”状態、“s”状態のしきい値分布幅が“s+1”状態、“s+2”状態、…、“t-1”状態、“t”状態のしきい値分布幅よりも狭いことを特徴とする請求項11又は請求項12記載の半導体記憶装置。

【請求項14】“1”状態が消去状態であり、“2”状態、“3”状態、…、“r-1”状態、“r”状態のしきい値分布幅が“r+1”状態、“r+2”状態、…、“s-1”状態、“s”状態のしきい値分布幅よりも狭いことを特徴とする請求項1乃至請求項13のいずれか1項に記載の半導体記憶装置。

【請求項15】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルを備えた半導体記憶装置において、メモリセルが“1”状態、“2”状態、…、“ $2^{k-1}-1$ ”状態、“ 2^{k-1} ”状態（kは2以上の自然数）のいずれかを保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ 2^k-1 ”状態、“ 2^k ”状態のいずれかにし、メモリセルが“1”状態、“2”状態、…、“ 2^k-1 ”状態、“ 2^k ”状態のいずれかを保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ $2^{k+1}-1$ ”状態、“ 2^{k+1} ”状態のいずれかにすることを特徴とする半導体記憶装置。

【請求項16】“1”状態は第1のしきい値レベルを有

し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、

前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、

前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるベリファイ手段とを備え、

前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、

メモリセルが“1”状態、“2”状態、…、“ $2^{k-1}-1$ ”状態、“ 2^{k-1} ”状態（kは2以上の自然数）のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ 2^k-1 ”状態、“ 2^k ”状態のいずれかのしきい値レベルにする第kの書き込みモードと、

メモリセルが“1”状態、“2”状態、…、“ 2^k-1 ”状態、“ 2^k ”状態のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ $2^{k+1}-1$ ”状態、“ 2^{k+1} ”状態のいずれかのしきい値レベルにする第k+1の書き込みモードとを有し、

前記第kの書き込みモードにおける前記バイアス値の増加幅を ΔV_{ppk} 、前記第k+1の書き込みモードにおける前記バイアス値の増加幅を $\Delta V_{pp(k+1)}$ としたとき、 $\Delta V_{ppk} < \Delta V_{pp(k+1)}$ の関係を満足することを特徴とする半導体記憶装置。

【請求項17】“ $2^{k-1}+1$ ”状態、“ $2^{k-1}+2$ ”状態、…、“ 2^k-1 ”状態、“ 2^k ”状態のしきい値分布幅が“ 2^k+1 ”状態、“ 2^k+2 ”状態、…、“ $2^{k+1}-1$ ”状態、“ 2^{k+1} ”状態のしきい値分布幅よりも狭いことを特徴とする請求項15又は請求項16記載の半導体記憶装置。

【請求項18】“1”状態が消去状態であり、“2”状態、“3”状態、…、“ $2^{k-1}-1$ ”状態、“ 2^{k-1} ”状態のしきい値分布幅が“ $2^{k-1}+1$ ”状態、“ $2^{k-1}+2$ ”状態、…、“ 2^k-1 ”状態、“ 2^k ”状態のしきい値分布幅よりも狭いことを特徴とする請求項15乃至請求項17のいずれか1項に記載の半導体記憶装置。

【請求項19】“1”状態が消去状態であり、“2”状態のしきい値分布幅が“3”状態、“4”状態、…、

“ $2^{k-1} - 1$ ”状態, “ 2^{k-1} ”状態のしきい値分布幅よりも狭いことを特徴とする請求項15乃至請求項18のいずれか1項に記載の半導体記憶装置。

【請求項20】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは3以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルを備えた半導体記憶装置において、第1の書き込み動作に際しメモリセルは、第1の論理レベルが入力すると“1”状態になり、第2の論理レベルが入力すると“2”状態になり、第k-1(kは2以上の自然数)の書き込み動作の結果“A”状態であるメモリセルは第kの書き込み動作に際し、第2k-1の論理レベルが入力すると“A”状態になり、第2kの論理レベルが入力すると“A+ 2^{k-1} ”状態になることを特徴とする半導体記憶装置。

【請求項21】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは3以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるベリファイ手段とを備え、前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、第1の書き込み動作に際しメモリセルは、第1の論理レベルが入力すると“1”状態になり、第2の論理レベルが入力すると“2”状態になり、第k-1(kは2以上の自然数)の書き込み動作の結果“A”状態であるメモリセルは第kの書き込み動作に際し、第2k-1の論理レベルが入力すると“A”状態になり、第2kの論理レベルが入力すると“A+ 2^{k-1} ”状態になり、前記第1の書き込み動作を行なう第1の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp1} 、前記第kの書き込み動作を行なう第kの書き込みモードにおける前記バイアス値の増加幅を ΔV_{ppk} としたとき、 $\Delta V_{pp1} < \Delta V_{ppk}$ の関係を満足することを特徴とする半導体記憶装置。

【請求項22】“1”状態が消去状態であり、“2”状態のしきい値分布幅が“A+ 2^{k-1} ”状態のしきい値分

布幅よりも狭いことを特徴とする請求項20又は請求項21記載の半導体記憶装置。

【請求項23】“A”状態のしきい値分布幅が“A+ 2^{k-1} ”状態のしきい値分布幅よりも狭いことを特徴とする請求項20又は請求項21記載の半導体記憶装置。

【請求項24】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは4以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルを備えた半導体記憶装置において、

第1の書き込み動作に際しメモリセルは、第1の論理レベルが入力すると“1”状態になり、第2の論理レベルが入力すると“2”状態になり、

第1の書き込み動作の結果“1”状態であるメモリセルは第2の書き込み動作に際し、第3の論理レベルが入力すると“1”状態になり、第4の論理レベルが入力すると“3”状態になり、

第1の書き込み動作の結果“2”状態であるメモリセルは第2の書き込み動作に際し、第3の論理レベルが入力すると“2”状態になり、第4の論理レベルが入力すると“4”状態になることを特徴とする半導体記憶装置。

【請求項25】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは4以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、

前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、

前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるベリファイ手段とを備え、

前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、

第1の書き込み動作に際しメモリセルは、第1の論理レベルが入力すると“1”状態になり、第2の論理レベルが入力すると“2”状態になり、

第1の書き込み動作の結果“1”状態であるメモリセルは第2の書き込み動作に際し、第3の論理レベルが入力すると“1”状態になり、第4の論理レベルが入力すると“3”状態になり、

第1の書き込み動作の結果“2”状態であるメモリセルは第2の書き込み動作に際し、第3の論理レベルが入力すると“2”状態になり、第4の論理レベルが入力すると“4”状態になり、

前記第1の書き込み動作を行なう第1の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp1} 、前記第2の書き込み動作を行なう第2の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp2} としたとき、 $\Delta V_{pp1} < \Delta V_{pp2}$ の関係を満足することを特徴とする半導体記憶装置。

【請求項26】“1”状態が消去状態であり、“2”状態のしきい値分布幅が“3”状態及び“4”状態のしきい値分布幅よりも狭いことを特徴とする請求項24又は請求項25記載の半導体記憶装置。

【請求項27】前記第3のしきい値レベルが第2のしきい値レベルより大きいことを特徴とする請求項24乃至請求項26のいずれか1項に記載の半導体記憶装置。

【請求項28】“3”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差が、“2”状態のしきい値分布と“3”状態のしきい値分布の間の電圧差と等しいことを特徴とする請求項27記載の半導体記憶装置。

【請求項29】“3”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差が、“2”状態のしきい値分布と“3”状態のしきい値分布の間の電圧差より大きいことを特徴とする請求項27記載の半導体記憶装置。

【請求項30】前記第3のしきい値レベルが第2のしきい値レベルより小さいことを特徴とする請求項24乃至請求項26のいずれか1項に記載の半導体記憶装置。

【請求項31】“2”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差が、“3”状態のしきい値分布と“2”状態のしきい値分布の間の電圧差と等しいことを特徴とする請求項30記載の半導体記憶装置。

【請求項32】“2”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差が、“3”状態のしきい値分布と“2”状態のしきい値分布の間の電圧差より大きいことを特徴とする請求項30記載の半導体記憶装置。

【請求項33】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルを備えた半導体記憶装置において、第1の書き込み動作に際しメモリセルは、第1の論理レベルが入力すると“1”状態になり、第2の論理レベルが入力すると“2”状態になり、第1の書き込み動作の結果“1”状態であるメモリセルは、第2の書き込み動作に際し、第3の論理レベルが入力すると、メモリセルに保持する“1”データと第3の論理レベルに基づいて“1”状態になり、第4の論理レベルが入力すると、メモリセルに保持する“1”データと第4の論理レベルに基づいて“3”状態になり、第1の書き込み動作の結果“2”状態であるメモリセルは、第2の書き込み動作に際し、第3の論理レベルが入力すると、メモリセルに保持する“2”データと第3の

論理レベルに基づいて“2”状態になり、第4の論理レベルが入力すると、メモリセルに保持する“2”データと第4の論理レベルに基づいて“4”状態になることを特徴とする半導体記憶装置。

【請求項34】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、

前記メモリセルの書き込みデータを保持するデータ回路とを備えた半導体記憶装置において、

第1の書き込み動作に際しメモリセルは、データ回路に保持する第1の書き込みデータに応じて、書き込みデータが第1の論理レベルの場合には“1”状態になり、書き込みデータが第2の論理レベルの場合には“2”状態になり、

次いで、前記データ回路がメモリセルの外部から入力する第2の書き込みデータ及び、前記メモリセルから読み出されたデータを保持した後に、

メモリセルが“1”状態でありかつ第2の書き込みデータが第3の論理レベルであると前記データ回路が保持する場合、前記メモリセルは“1”状態になり、

メモリセルが“1”状態でありかつ第2の書き込みデータが第4の論理レベルであると前記データ回路が保持する場合、前記メモリセルは“3”状態になり、

メモリセルが“2”状態でありかつ第2の書き込みデータが第3の論理レベルであると前記データ回路が保持する場合、前記メモリセルは“2”状態になり、

メモリセルが“2”状態でありかつ第2の書き込みデータが第4の論理レベルであると前記データ回路が保持する場合、前記メモリセルは“4”状態になることを特徴とする半導体記憶装置。

【請求項35】第1の論理レベルと第3の論理レベルが等しく、第2の論理レベルと第4の論理レベルが等しいことを特徴とする請求項24乃至請求項34のいずれか1項に記載の半導体記憶装置。

【請求項36】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは3以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、

前記メモリセルの書き込みデータを保持するデータ回路とを備えた半導体記憶装置において、

メモリセルが“1”状態、“2”状態、…、“m-1”状態、“m”状態（mは2以上の自然数）を保持する場合に、データ回路がメモリセルの外部から入力する書き込みデータ及び、前記メモリセルから読み出されたデータを保持した後に、前記データ回路に保持したデータを

基に、前記メモリセルを“1”状態、“2”状態、…、“ $k-1$ ”状態、“ k ”状態(k は m より大きい自然数)にすることを特徴とする半導体記憶装置。

【請求項37】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“ i ”状態(i は n 以下の自然数であり、 n は3以上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するメモリセルと、

前記メモリセルの書き込みデータを保持するデータ回路と、

前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、

前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるペリフェイ手段とを備え、

前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、

メモリセルが“1”状態のしきい値レベルである場合に、データ回路がメモリセルの外部から入力する書き込みデータを保持した後に、前記データ回路に保持したデータを基に、前記メモリセルを“1”状態、“2”状態、…、“ $m-1$ ”状態、“ m ”状態(m は2以上の自然数)のいずれかのしきい値レベルにする第1の書き込みモードと、

メモリセルが“1”状態、“2”状態、…、“ $m-1$ ”状態、“ m ”状態のいずれかのしきい値レベルである場合に、データ回路がメモリセルの外部から入力する書き込みデータ及び、前記メモリセルから読み出されたデータを保持した後に、前記データ回路に保持したデータを基に、前記メモリセルを“1”状態、“2”状態、…、“ $k-1$ ”状態、“ k ”状態(k は m より大きい自然数)のいずれかのしきい値レベルにする第2の書き込みモードとを有し、

前記第1の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp1} 、前記第2の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp2} としたとき、 $\Delta V_{pp1} < \Delta V_{pp2}$ の関係を満足することを特徴とする半導体記憶装置。

【請求項38】“1”状態が消去状態であり、“2”状態、“3”状態、…、“ $m-1$ ”状態、“ m ”状態のしきい値分布幅が“ $m+1$ ”状態、“ $m+2$ ”状態、…、“ $k-1$ ”状態、“ k ”状態のしきい値分布幅よりも狭いことを特徴とする請求項36又は請求項37記載の半導体記憶装置。

【請求項39】“1”状態は第1のしきい値レベルを有

し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“ i ”状態(i は n 以下の自然数であり、 n は4以上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するメモリセルと、

前記メモリセルの書き込みデータを保持するデータ回路とを備えた半導体記憶装置において、

メモリセルが“1”状態又は“2”状態を保持する場合に、データ回路がメモリセルの外部から入力する書き込みデータ、及び前記メモリセルから読み出されたデータを保持した後に、前記データ回路に保持したデータを基に、前記メモリセルを“1”状態、“2”状態、“3”状態又は“4”状態にすることを特徴とする半導体記憶装置。

【請求項40】“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“ i ”状態(i は n 以下の自然数であり、 n は4以上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するメモリセルと、

前記メモリセルの書き込みデータを保持するデータ回路と、

前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、

前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるペリフェイ手段とを備え、

前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、

メモリセルが“1”状態のしきい値レベルである場合に、データ回路がメモリセルの外部から入力する書き込みデータを保持した後に、前記データ回路に保持したデータを基に、前記メモリセルを“1”状態又は“2”状態のいずれかのしきい値レベルにする第1の書き込みモードと、

メモリセルが“1”状態又は“2”状態のいずれかのしきい値レベルである場合に、データ回路がメモリセルの外部から入力する書き込みデータ及び、前記メモリセルから読み出されたデータを保持した後に、前記データ回路に保持したデータを基に、前記メモリセルを“1”状態、“2”状態、“3”状態又は“4”状態のいずれかのしきい値レベルにする第2の書き込みモードとを有し、

前記第1の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp1} 、前記第2の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp2} としたとき、 ΔV_{pp1}

＜ ΔV_{pp2} の関係を満足することを特徴とする半導体記憶装置。

【請求項41】“1”状態が消去状態であり、“2”状態のしきい値分布幅が“3”状態及び“4”状態のしきい値分布幅よりも狭いことを特徴とする請求項39又は請求項40記載の半導体記憶装置。

【請求項42】メモリセルは、ワード線を共有してメモリセルアレイを構成することを特徴とする請求項1乃至請求項41のいずれか1項に記載の半導体記憶装置。

【請求項43】複数ビットのデータの記憶が可能なメモリセルと、

前記メモリセルの書き込みデータを保持するデータ回路とを備えた半導体記憶装置において、

前記複数ビットのデータのうち先にメモリセルに書き込まれるものを上位ビットのデータ、後にメモリセルに書き込まれるものを下位ビットのデータとしたとき、

データ回路にメモリセルの外部から第1の書き込みデータが入力されて一時的に記憶された後前記上位ビットのデータの書き込み動作が行なわれ、前記上位ビットのデータの書き込み動作の終了後に、前記データ回路にメモリセルの外部から第2の書き込みデータが入力されて一時的に記憶された後前記下位ビットのデータの書き込み動作が行なわれることを特徴とする半導体記憶装置。

【請求項44】前記下位ビットのデータの書き込み動作は、前記データ回路がメモリセルの外部から入力された第2の書き込みデータ及び、前記メモリセルから読み出された前記上位ビットのデータを保持した後に行なわれることを特徴とする請求項43記載の半導体記憶装置。

【請求項45】複数ビットのデータの記憶が可能なメモリセルと、

前記メモリセルの書き込みデータを保持するデータ回路とを備え、

所定の複数個のメモリセルからなるメモリセル群が書き込み単位となるページを形成する半導体記憶装置において、

前記複数ビットのデータのうち先にメモリセルに書き込まれるものを上位ビットのデータ、後にメモリセルに書き込まれるものを下位ビットのデータとし、前記ページを形成するメモリセル群のそれぞれに対し前記複数ビットのデータを書き込むに当り、前記上位ビットのデータの書き込みを行なう動作を上位ページの書き込み動作、前記下位ビットのデータの書き込みを行なう動作を下位ページの書き込み動作としたとき、

前記ページを形成する各メモリセル群のそれぞれについて、上位ページの書き込み動作が終了した後下位ページの書き込み動作が開始されることを特徴とする半導体記憶装置。

【請求項46】前記データ回路にメモリセルの外部から第1の書き込みデータが入力されて一時的に記憶された後前記上位ページの書き込み動作が行なわれ、次いで前

記データ回路にメモリセルの外部から第2の書き込みデータが入力されて一時的に記憶された後前記下位ページの書き込み動作が行なわれることを特徴とする請求項45記載の半導体記憶装置。

【請求項47】前記データ回路は、複数個のメモリセルからなるメモリセル群に対応して複数個設けられていることを特徴とする請求項45又は請求項46記載の半導体記憶装置。

【請求項48】複数ビットのデータの記憶が可能なメモリセルと、

前記メモリセルの書き込みデータを保持するデータ回路と、

前記データ回路に保持された書き込みデータに応じて前記メモリセルへの書き込み動作を行なう書き込み手段と、

前記データ回路に保持された書き込みデータが前記メモリセルに書き込まれたか否かを検出して、所望の書き込みが行なわれたことが検出されるまで前記書き込み手段による前記メモリセルへの書き込み動作を繰り返させるベリファイ手段とを備えた半導体記憶装置において、前記複数ビットのデータのうち先にメモリセルに書き込まれるものを上位ビットのデータ、後にメモリセルに書き込まれるものを下位ビットのデータとしたとき、前記上位ビットのデータについて前記書き込み手段によるメモリセルへの書き込み動作を行ない、所望の書き込みが行なわれたことを前記ベリファイ手段で検出した後、前記下位ビットのデータについて前記書き込み手段によるメモリセルへの書き込み動作が行なわれることを特徴とする半導体記憶装置。

【請求項49】前記下位ビットのデータの書き込み動作は、前記上位ビットのデータが書き込まれた後、前記データ回路がメモリセルの外部から入力された書き込みデータ及び、前記メモリセルから読み出された前記上位ビットのデータを保持した後に行なわれることを特徴とする請求項48記載の半導体記憶装置。

【請求項50】複数ビットのデータの記憶が可能なメモリセルと、

前記メモリセルの書き込みデータを保持するデータ回路と、

前記データ回路に保持された書き込みデータに応じて前記メモリセルへの書き込み動作を行なう書き込み手段と、

前記データ回路に保持された書き込みデータが前記メモリセルに書き込まれたか否かを検出して、所望の書き込みが行なわれたことが検出されるまで前記書き込み手段による前記メモリセルへの書き込み動作を繰り返させるベリファイ手段とを備え、

所定の複数個のメモリセルからなるメモリセル群が書き込み単位となるページを形成する半導体記憶装置において、

前記複数ビットのデータのうち先にメモリセルに書き込まれるものを上位ビットのデータ、後にメモリセルに書き込まれるものを下位ビットのデータとし、前記ページを形成するメモリセル群のそれぞれに対し前記複数ビットのデータを書き込むに当り、前記上位ビットのデータの書き込みを行なう動作を上位ページの書き込み動作、前記下位ビットのデータの書き込みを行なう動作を下位ページの書き込み動作としたとき、

前記ページを形成する各メモリセル群のそれぞれについて、前記書き込み手段による上位ページの書き込み動作を行ない、メモリセル群の全てのメモリセルで所望の書き込みが行なわれたことを前記ベリファイ手段で検出した後、前記書き込み手段による下位ページの書き込み動作が行なわれることを特徴とする半導体記憶装置。

【請求項51】前記下位ページの書き込み動作は、前記上位ページの書き込み動作の後、前記データ回路がメモリセルの外部から入力された書き込みデータ及び、前記メモリセルから読み出されたデータを保持した後に行なわれることを特徴とする請求項50記載の半導体記憶装置。

【請求項52】前記データ回路は、複数個のメモリセルからなるメモリセル群に対応して複数個設けられていることを特徴とする請求項50又は請求項51記載の半導体記憶装置。

【請求項53】所定の複数個のメモリセルからなるメモリセル群が書き込み単位となるページを形成する半導体記憶装置において、

前記メモリセルは複数ビットのデータの記憶が可能な n 値(n は3以上の自然数)記憶メモリセルであり、第 p (p は1以上の自然数)の書き込み動作及び第 $p+1$ の書き込み動作による前記メモリセルへの複数ビットのデータの書き込みの際、第1のページに属する第1のメモリセルに第 p の書き込み動作を行ない、第2のページに属する第2のメモリセルに第 p の書き込み動作を行なった後、前記第1のメモリセルに第 $p+1$ の書き込み動作を行なうことを特徴とする半導体記憶装置。

【請求項54】複数ビットのデータの記憶が可能なメモリセルと、

前記メモリセルの書き込みデータを保持するデータ回路と、

前記データ回路に保持された書き込みデータに応じて前記メモリセルへの書き込み動作を行なう書き込み手段と、

前記データ回路に保持された書き込みデータが前記メモリセルに書き込まれたか否かを検出して、所望の書き込みが行なわれたことが検出されるまで前記書き込み手段による前記メモリセルへの書き込み動作を繰り返させるベリファイ手段とを備え、

所定の複数個のメモリセルからなるメモリセル群が書き込み単位となるページを形成する半導体記憶装置におい

て、

第 p (p は1以上の自然数)の書き込み動作及び第 $p+1$ の書き込み動作による前記メモリセルへの複数ビットのデータの書き込みの際、第1のページに属する第1のメモリセルに第 p の書き込み動作を行ない、第2のページに属する第2のメモリセルに第 p の書き込み動作を行なった後、前記第1のメモリセルに第 $p+1$ の書き込み動作を行なうことを特徴とする半導体記憶装置。

【請求項55】前記第1のメモリセルへの第 $p+1$ の書き込み動作に引き続いて、前記第2のメモリセルに第 $p+1$ の書き込み動作を行なうことを特徴とする請求項53又は請求項54記載の半導体記憶装置。

【請求項56】前記第1のメモリセルへの第 p の書き込み動作の結果、第1のメモリセルに所望の書き込みが行なわれたことを前記ベリファイ手段で検出した後、前記書き込み手段による前記第2のメモリセルへの第 p の書き込み動作が行なわれることを特徴とする請求項54記載の半導体記憶装置。

【請求項57】前記第2のメモリセルへの第 p の書き込み動作の結果、第2のメモリセルに所望の書き込みが行なわれたことを前記ベリファイ手段で検出した後、前記書き込み手段による前記第1のメモリセルへの第 $p+1$ の書き込み動作が行なわれることを特徴とする請求項54記載の半導体記憶装置。

【請求項58】前記第 p の書き込み動作が第1の書き込み動作であり、前記第 $p+1$ の書き込み動作が第2の書き込み動作であることを特徴とする請求項53乃至請求項57のいずれか1項に記載の半導体記憶装置。

【請求項59】前記メモリセルは、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“ i ”状態(i は n 以下の自然数であり、 n は3以上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するものであり、

メモリセルが“1”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基づいて前記第1の書き込みが行なわれ、前記メモリセルを“1”状態、“2”状態、…、“ $m-1$ ”状態、“ m ”状態(m は2以上の自然数)のいずれかのしきい値レベルにする第1の書き込みモードと、

メモリセルが“1”状態、“2”状態、…、“ $m-1$ ”状態、“ m ”状態のいずれかのしきい値レベルである場合に前記第2の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ $k-1$ ”状態、“ k ”状態(k は m より大きい自然数)のいずれかのしきい値レベルにする第2の書き込みモードとを有することを特徴とする請求項58記載の半導体記憶装置。

【請求項60】前記メモリセルは、“1”状態は第1の

しきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは4以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するものであり、

メモリセルが“1”状態、“2”状態、…、“r-1”状態、“r”状態(rは2以上の自然数)のいずれかのしきい値レベルである場合に前記第pの書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“s-1”状態、“s”状態(sはrより大きい自然数)のいずれかのしきい値レベルにする第j(jは2以上の自然数)の書き込みモードと、

メモリセルが“1”状態、“2”状態、…、“s-1”状態、“s”状態のいずれかのしきい値レベルである場合に前記第p+1の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“t-1”状態、“t”状態(tはsより大きい自然数)のいずれかのしきい値レベルにする第j+1の書き込みモードとを有することを特徴とする請求項53乃至請求項57のいずれか1項に記載の半導体記憶装置。

【請求項61】所定の複数個のメモリセルからなるメモリセル群が書き込み単位となるページを形成する半導体記憶装置において、

前記メモリセルは複数ビットのデータの記憶が可能なn値(nは3以上の自然数)記憶メモリセルであり、第p(pは1以上の自然数)の書き込み動作及び第p+1の書き込み動作による前記メモリセルへの複数ビットのデータの書き込みの際、第1のページに属するメモリセル群に第pの書き込み動作を行ない、第2のページに属するメモリセル群に第pの書き込み動作を行なった後、前記第1のページに属するメモリセル群に第p+1の書き込み動作を行なうことを特徴とする半導体記憶装置。

【請求項62】複数ビットのデータの記憶が可能なメモリセルと、
前記メモリセルの書き込みデータを保持するデータ回路と、
前記データ回路に保持された書き込みデータに応じて前記メモリセルへの書き込み動作を行なう書き込み手段と、
前記データ回路に保持された書き込みデータが前記メモリセルに書き込まれたか否かを検出して、所望の書き込みが行なわれたことが検出されるまで前記書き込み手段による前記メモリセルへの書き込み動作を繰り返させるベリファイ手段とを備え、
所定の複数個のメモリセルからなるメモリセル群が書き

込み単位となるページを形成する半導体記憶装置において、

第p(pは1以上の自然数)の書き込み動作及び第p+1の書き込み動作による前記メモリセルへの複数ビットのデータの書き込みの際、第1のページに属するメモリセル群に第pの書き込み動作を行ない、第2のページに属するメモリセル群に第pの書き込み動作を行なった後、前記第1のページに属するメモリセル群に第p+1の書き込み動作を行なうことを特徴とする半導体記憶装置。

【請求項63】前記第1のページに属するメモリセル群への第p+1の書き込み動作に引き続いて、前記第2のページに属するメモリセル群に第p+1の書き込み動作を行なうことを特徴とする請求項61又は請求項62記載の半導体記憶装置。

【請求項64】前記第1のページに属するメモリセル群への第pの書き込み動作の結果、第1のページを形成するメモリセル群の全てのメモリセルで所望の書き込みが行なわれたことを前記ベリファイ手段で検出した後、前記書き込み手段による前記第2のページに属するメモリセル群への第pの書き込み動作が行なわれることを特徴とする請求項62記載の半導体記憶装置。

【請求項65】前記第2のページに属するメモリセル群への第pの書き込み動作の結果、第2のページを形成するメモリセル群の全てのメモリセルで所望の書き込みが行なわれたことを前記ベリファイ手段で検出した後、前記書き込み手段による前記第1のページに属するメモリセル群への第p+1の書き込み動作が行なわれることを特徴とする請求項62記載の半導体記憶装置。

【請求項66】前記第pの書き込み動作が第1の書き込み動作であり、前記第p+1の書き込み動作が第2の書き込み動作であることを特徴とする請求項61乃至請求項65のいずれか1項に記載の半導体記憶装置。

【請求項67】前記メモリセルは、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは3以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するものであり、

メモリセルが“1”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基づいて前記第1の書き込みが行なわれ、前記メモリセルを“1”状態、“2”状態、…、“m-1”状態、“m”状態(mは2以上の自然数)のいずれかのしきい値レベルにする第1の書き込みモードと、

メモリセルが“1”状態、“2”状態、…、“m-1”状態、“m”状態のいずれかのしきい値レベルである場合に前記第2の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”

状態, ..., “ $k-1$ ” 状態, “ k ” 状態 (k は m より大きい自然数) のいずれかのしきい値レベルにする第2の書き込みモードとを有することを特徴とする請求項6記載の半導体記憶装置。

【請求項68】前記メモリセルは、“1” 状態は第1のしきい値レベルを有し、“2” 状態は第2のしきい値レベルを有し、“3” 状態は第3のしきい値レベルを有し、“ i ” 状態 (i は n 以下の自然数であり、 n は4以上の自然数) は第 i のしきい値レベルを有するような n 値を記憶するものであり、メモリセルが“1” 状態, “2” 状態, ..., “ $r-1$ ” 状態, “ r ” 状態 (r は2以上の自然数) のいずれかのしきい値レベルである場合に前記第 p の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1” 状態, “2” 状態, ..., “ $s-1$ ” 状態, “ s ” 状態 (s は r より大きい自然数) のいずれかのしきい値レベルにする第 j (j は2以上の自然数) の書き込みモードと、メモリセルが“1” 状態, “2” 状態, ..., “ $s-1$ ” 状態, “ s ” 状態のいずれかのしきい値レベルである場合に前記第 $p+1$ の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1” 状態, “2” 状態, ..., “ $t-1$ ” 状態, “ t ” 状態 (t は s より大きい自然数) のいずれかのしきい値レベルにする第 $j+1$ の書き込みモードとを有することを特徴とする請求項61乃至請求項65のいずれか1項に記載の半導体記憶装置。

【請求項69】装置内の全ページに属するメモリセル群に対しそれぞれ前記第 p の書き込み動作が行なわれた後、第1のページに属するメモリセル群への前記第 $p+1$ の書き込み動作が行なわれることを特徴とする請求項61乃至請求項68のいずれか1項に記載の半導体記憶装置。

【請求項70】前記第 $p+1$ の書き込み動作の行なわれた回数が各ページ毎に記憶され、この回数に基づいて書き込み順が決定されることを特徴とする請求項53乃至請求項69のいずれか1項に記載の半導体記憶装置。

【請求項71】前記メモリセルは、所定の複数個が1本のワード線を共有するとともに、前記ワード線を共有する所定の複数個のメモリセルからなるメモリセル群が、書き込み単位となるページを形成することを特徴とする請求項43乃至請求項70のいずれか1項に記載の半導体記憶装置。

【請求項72】複数ビットのデータの記憶が可能なメモリセルを備えた半導体記憶装置を複数個記憶部として具備した記憶システムにおいて、前記メモリセルは、各半導体記憶装置毎にそれぞれ所定の複数個のメモリセルからなるメモリセル群が書き込み

単位となるページを形成し、

第 p (p は1以上の自然数) の書き込み動作及び第 $p+1$ の書き込み動作による前記メモリセルへの複数ビットのデータの書き込みの際、第1の半導体記憶装置内のページに属するメモリセル群に第 p の書き込み動作を行ない、第2の半導体記憶装置内のページに属するメモリセル群に同様の第 p の書き込み動作を行なった後、前記第1の半導体記憶装置内のページに属するメモリセル群に第 $p+1$ の書き込み動作を行なうことを特徴とする記憶システム。

【請求項73】前記第1の半導体記憶装置内のページに属するメモリセル群への第 $p+1$ の書き込み動作に引き続いて、前記第2の半導体記憶装置内のページに属するメモリセル群に第 $p+1$ の書き込み動作を行なうことを特徴とする請求項72記載の記憶システム。

【請求項74】前記第1の半導体記憶装置内の1部のページに属するメモリセル群のみに前記第 $p+1$ の書き込み動作を行なった後、前記第2の半導体記憶装置内のページに属するメモリセル群に第 $p+1$ の書き込み動作を行なうことを特徴とする請求項73記載の記憶システム。

【請求項75】前記第 p の書き込み動作が第1の書き込み動作であり、前記第 $p+1$ の書き込み動作が第2の書き込み動作であることを特徴とする請求項72乃至請求項74のいずれか1項に記載の記憶システム。

【請求項76】前記メモリセルは、“1” 状態は第1のしきい値レベルを有し、“2” 状態は第2のしきい値レベルを有し、“3” 状態は第3のしきい値レベルを有し、“ i ” 状態 (i は n 以下の自然数であり、 n は3以上の自然数) は第 i のしきい値レベルを有するような n 値を記憶するものであり、

メモリセルが“1” 状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基づいて前記第1の書き込みが行なわれ、前記メモリセルを“1” 状態, “2” 状態, ..., “ $m-1$ ” 状態,

“ m ” 状態 (m は2以上の自然数) のいずれかのしきい値レベルにする第1の書き込みモードと、

メモリセルが“1” 状態, “2” 状態, ..., “ $m-1$ ” 状態, “ m ” 状態のいずれかのしきい値レベルである場合に前記第2の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1” 状態, “2” 状態, ..., “ $k-1$ ” 状態, “ k ” 状態 (k は m より大きい自然数) のいずれかのしきい値レベルにする第2の書き込みモードとを有することを特徴とする請求項75記載の記憶システム。

【請求項77】前記メモリセルは、“1” 状態は第1のしきい値レベルを有し、“2” 状態は第2のしきい値レベルを有し、“3” 状態は第3のしきい値レベルを有し、“ i ” 状態 (i は n 以下の自然数であり、 n は4以

上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するものであり、メモリセルが“1”状態、“2”状態、…、“ $r-1$ ”状態、“ r ”状態(r は2以上の自然数)のいずれかのしきい値レベルである場合に前記第 p の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ $s-1$ ”状態、“ s ”状態(s は r より大きい自然数)のいずれかのしきい値レベルにする第 j (j は2以上の自然数)の書き込みモードと、メモリセルが“1”状態、“2”状態、…、“ $s-1$ ”状態、“ s ”状態のいずれかのしきい値レベルである場合に前記第 $p+1$ の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ $t-1$ ”状態、“ t ”状態(t は s より大きい自然数)のいずれかのしきい値レベルにする第 $j+1$ の書き込みモードとを有することを特徴とする請求項7乃至請求項74のいずれか1項に記載の記憶システム。

【請求項78】前記記憶部を成す全ての半導体記憶装置内の全ページに属するメモリセル群に対しそれぞれ前記第 p の書き込み動作が行なわれた後、第1の半導体記憶装置内のページに属するメモリセル群への前記第 $p+1$ の書き込み動作が行なわれることを特徴とする請求項72乃至請求項77のいずれか1項に記載の記憶システム。

【請求項79】前記半導体記憶装置の動作を制御する手段をさらに具備することを特徴とする請求項72乃至請求項78のいずれか1項に記載の記憶システム。

【請求項80】前記半導体記憶装置の動作を制御する手段が、前記ページを形成する各メモリセル群への書き込み順を制御することを特徴とする請求項79記載の記憶システム。

【請求項81】前記書き込み順がページ単位で決定されることを特徴とする請求項80記載の記憶システム。

【請求項82】前記書き込み順が装置単位で決定されることを特徴とする請求項80記載の記憶システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電氣的書き換え可能な半導体記憶装置及び記憶システムに係わり、特に多値記憶の半導体記憶装置とこれを具備した記憶システムに関する。

【0002】

【従来の技術】不揮発性半導体記憶装置は、電源を切ってもデータが消えない等の利点があるため、近年大幅に需要が増大している。電氣的に一括消去可能な不揮発性半導体記憶装置であるフラッシュメモリは、2トランジ

スタ型のバイト型不揮発性半導体記憶装置と異なり、1トランジスタでメモリセルを構成することができる。この結果、メモリセルを小さくすることが可能となり、大容量の磁気ディスクの代替用途等が期待されている。

【0003】こうしたフラッシュメモリの中でも、特に高集積化に有利なものとしてNAND型EEPROMが知られている。これは、例えば次のような構造を有する。すなわち、電荷蓄積層となる浮遊ゲートと制御ゲートとが積層された n チャネルFETMOS構造を有する複数のメモリセルを例えばカラム方向に並べ、これらのセルのうちの互いに隣り合うセル同士のソースとドレインを順次直列に接続する。このような接続により、複数のメモリセルが直列接続された単位セル群(NANDセル)を構成し、こうした単位セル群を一単位としてビット線に接続する。

【0004】ここで図74(a)、(b)に、NAND型EEPROMにおける一つのNANDセルの平面図及び回路図を示す。また図75は、図74に示されるNANDセルの縦断面図であり、図75(a)は図74

(a)中のA-A'線断面図、図75(b)は図74(a)中のB-B'線断面図をそれぞれ示す。

【0005】図示される通り、 p 型基板11または n 型基板に形成された p 型ウェル内に素子分離酸化膜12で囲まれた素子領域が設けられ、この素子領域にNANDセルが形成される。ここでは、8個のメモリセルM1～M8が直列に接続されて一つのNANDセルを構成している。 n チャネルFETMOS構造を有する各メモリセルにおいては、 p 型シリコン半導体基板11上に第1のゲート絶縁膜13を介して電荷蓄積層となる浮遊ゲート14(14-1, 14-2, …, 14-8)が形成され、さらにその上に第2のゲート絶縁膜15を介して制御ゲート16(16-1, 16-2, …, 16-8)が積層される。また n チャネルFETMOS構造における n 型拡散層19は、隣接する二つのメモリセルの一方ではソースとして、他方ではドレインとして共用され、これにより各メモリセルが直列に接続されることになる。

【0006】このようなNANDセルのドレイン側とソース側には、それぞれメモリセルの浮遊ゲート14、制御ゲート16と同じプロセスによって形成された選択ゲート14-9, 16-9及び14-10, 16-10が設けられている。なお、選択ゲート14-9, 16-9及び14-10, 16-10は、ともに図示されない所望部分で1層目と2層目とが導通接続されている。また、こうして素子形成された p 型シリコン半導体基板11の上方は、層間絶縁膜17により覆われている。この層間絶縁膜17の上にビット線18が配設されており、ビット線18はNANDセルの一端のドレイン側 n 型拡散層19にコンタクトさせられている。すなわちNANDセルのドレイン側は、選択ゲート14-9, 16-9を介してビット線18に接続される。さらにNANDセ

ルのソース側は、選択ゲート14-10、16-10を介してソース線となるn型拡散層19が形成されており、ソース線は例えば行方向においてビット線64本当り1箇所設けられたコンタクト部で、基準電位配線とコンタクトする。

【0007】一方、行方向に並ぶ複数のNANDセルの同一行の制御ゲート14は共通に接続され、行方向に走る制御ゲート線CG1、CG2、…、CG8として配設されており、これら制御ゲート線はいわゆるワード線となっている。すなわち各メモリセルの制御ゲート14は、それぞれロウ方向に配設されたワード線に接続されている。また、選択ゲート14-9、16-9及び14-10、16-10も、それぞれ行方向に走る選択ゲート線SG1、SG2として配設されている。

【0008】さらに図76に、NANDセルのメモリセルアレイの回路図を示す。図76に示される通り、制御ゲート線CG1、CG2、…、CG8及び選択ゲート線SG1、SG2は、行方向に連続的に配設される。通常1本の制御ゲート線、すなわちワード線と共通接続されるメモリセル群がページ（1ページ）を形成し、1組のドレイン側選択ゲート線（選択ゲート14-9、16-9）及びソース側選択ゲート線（選択ゲート14-10、16-10）で挟まれたこのページの集合を、通常NANDブロック（1NANDブロック）またはブロック（1ブロック）と呼ぶ。このとき、1ページは例えば256バイト（256×8）個のメモリセルから構成され、1ページ分のメモリセルはほぼ同時に書き込みが行なわれる。また、1ブロックは例えば2048バイト（2048×8）個のメモリセルから構成され、1ブロック分のメモリセルはほぼ同時に消去される。

【0009】以下、上述したようなNAND型EEPROMの動作について説明する。まずデータの書き込みに関しては、一般にビット線から遠い方のメモリセルから順に行なわれる。具体的には、選択されたメモリセルの制御ゲートには昇圧された書き込み電圧 V_{pp} （＝20V程度）を印加する一方、他の非選択メモリセルの制御ゲート及び第1の選択ゲートにはそれぞれ中間電位（＝10V程度）を印加する。さらにビット線には、データに応じて0V（“0”書き込み）又は中間電位（“1”書き込み）を印加する。こうして、ビット線の電位は選択されたメモリセルに伝達される。従ってデータが“0”のときは、選択されたメモリセルで浮遊ゲートと基板との間に高電圧が加わり、基板から浮遊ゲートに電子がトンネル注入され、メモリセルのトランジスタのしきい値電圧が正方向にシフトする。逆に、データが“1”のときはしきい値電圧は変化しない。

【0010】一方データ消去は、ブロック単位でほぼ同時に行なわれる。すなわち、消去を行なうブロック内の全ての制御ゲート及び選択ゲートを0Vとし、p型基板又はn型基板及びこのn型基板に形成されたp型ウェル

に、昇圧された昇圧電位 V_{ppe} （＝20V程度）を印加する。また、消去を行なわないブロック内の制御ゲート及び選択ゲートには、上述したような昇圧電位 V_{ppe} を印加する。これにより、消去が行なわれるブロックのメモリセルにおいて浮遊ゲートに蓄積されていた電子がp型基板又はn型基板p型ウェルに放出され、トランジスタのしきい値電圧が負の方向にシフトする。

【0011】さらにデータの読み出し動作については、ビット線をプリチャージした後ビット線をフローティングとし、選択されたメモリセルの制御ゲートを0V、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電圧 V_{cc} （例えば3V）、ソース線を0Vとしたうえで、選択されたメモリセルで電流が流れるか否かをビット線に検出することで行なわれる。すなわち、選択されたメモリセルに書き込まれたデータが“0”（メモリセルのトランジスタのしきい値電圧 $V_{th}>0$ ）ならば、トランジスタはオフになるのでビット線はプリチャージ電位を保つが、“1”（メモリセルのトランジスタのしきい値電圧 $V_{th}<0$ ）であれば、メモリセルは“ON”してビット線はプリチャージ電位から ΔV だけ電位が下がる。従って、こうしたビット線電位をセンスアンプで検出することにより、メモリセルのデータを読み出すことができる。

【0012】

【発明が解決しようとする課題】ところで、上述したようなNAND型EEPROMにおいても、いまだコストパフォーマンスの点では磁気ディスクとの隔たりは大きく、さらなる大容量化を進めてビット単価を低減すること等が強く要望されている。このため最近になって、NAND型EEPROM等の電氣的書き換え可能な不揮発性半導体記憶装置に対し、一つのメモリセルに3値以上の情報を記憶させる多値記憶技術が提案されている（例えば特開平7-93979号公報）。

【0013】ここで、一つのメモリセルに4値の情報を記憶させる4値セルを例にとり、その基本動作について説明する。まず図77は、4値セルについてメモリセルのトランジスタのしきい値電圧と4値データとの関係を示す特性図である。図示される通り、4値セルにおいてデータ“1”の状態は、消去後の状態と同じで例えば負のしきい値を持つ。これに対し、データ“2”の状態は例えば0.5～0.8V、データ“3”の状態は例えば1.5～1.8V、データ“4”の状態は例えば2.5～2.8Vのしきい値を持つ。

【0014】従って、メモリセルの制御ゲートに図77に示されるような読み出し電圧 V_{CG3R} を印加したときに、メモリセルのトランジスタが“ON”か“OFF”かで、メモリセルのデータが“1”、“2”のいずれかか、あるいは“3”、“4”のいずれかかを検出でき、続いて読み出し電圧 V_{CG4R} 、 V_{CG2R} を印加することで、メモリセルのデータを完全に検出できる。このとき

読み出し電圧VCG2R、VCG3R、VCG4Rは、例えばそれぞれ0V、1V、2Vに設定されればよい。

【0015】また、図77中のVCG2V、VCG3V、VCG4Vはペリファイ電圧を表し、データ書き込み時には、これらペリファイ電圧を制御ゲートに印加してメモリセルの状態を検知し、十分に書き込みが行なわれたか否かをチェックする。ここでのペリファイ電圧VCG2V、VCG3V、VCG4Vは、例えばそれぞれ0.5V、1.5V、2.5Vとされる。

【0016】一方、図78は4値セルに対する書き込み動作の一例を示す特性図であり、図79はこうした書き込みを1ページ分のメモリセルに対して行なう場合につき、書き込みデータと書き込み先のメモリセルとの対応を示す概念図である。すなわち、これまでの一般的な4値セルへの書き込み動作においては、図79に示される通り外部から入力された書き込みデータが、先頭アドレスからA0、A1はメモリセルMC1に、次のA2、A3はメモリセルMC2に、さらにその次のA4、A5はメモリセルMC3にといった具合に順次割り当てられ、このようにそれぞれ割り当てられた2ビットのアドレスを基に、各メモリセルにデータが書き込まれる。

【0017】具体的に、例えばメモリセルMC1に関しては、A0、A1のデータをメモリセルMC1と対応するデータ回路に一時記憶したうえで、これらの書き込みデータを基に図78に示されるような書き込みが行なわれる。同様に他のメモリセルMC2～128についても、A2～A255のデータに応じた“2”書き込み、“3”書き込み又は“4”書き込みが行なわれるか、あるいは消去状態（非書き込み状態）“1”が保持される。

【0018】しかしながらこうした書き込み動作では、2値セルの“0”書き込みに相当する“2”書き込みに比べ“3”書き込みに要する時間が長くなり、さらに“4”書き込みについては一段と長い時間を要する。また、これらのデータが十分に書き込まれたか否かをチェックするうえでも、“2”書き込み、“3”書き込み及び“4”書き込みのそれぞれに対し個別にチェックを行なう必要があり、書き込み動作に引き続いて行なわれるペリファイリードの動作に関してもその長時間化は避けられない。従って、上述した通りほぼ同時に書き込みが行なわれる1ページ分のメモリセル全部に充分データが書き込まれるまでの時間が増大し、換言すればこのようなページ書き込みに要する時間で通常定義される書き込み時間が長くなるという問題点がある。

【0019】さらに、NAND型EEPROM等の電氣的書き換え可能な不揮発性半導体記憶装置では、電荷蓄積層としての浮遊ゲートに蓄積されていた電子のリークに起因するデータの破壊が問題となることがあるが、多値記憶の半導体記憶装置はこうしたデータの破壊が発生しやすく、実用化に当たってさらなる信頼性の向上が求め

られている。すなわち、多値記憶の半導体記憶装置に対し特にしきい値レベルの高いデータがメモリセルに書き込まれた場合、基板及び浮遊ゲート間の電界が強いことから浮遊ゲート中の蓄積電荷の基板へのリークが増大する傾向がある。しかも多値記憶の半導体記憶装置においては、メモリセルに書き込まれる各データ間の状態差が小さく設定されることが多く、蓄積電荷のリークによるしきい値レベルの変動がわずかでもデータの破壊が生じてしまう。

【0020】上述したように従来の多値記憶の半導体記憶装置は、2値のものに比べ書き込み時間が長いことに加え信頼性が充分ではないため、いまだ実用化には至っていない。本発明はこのような事情を考慮して成されたもので、その目的とするところは、書き込み時間が短縮され、さらには信頼性の向上が可能となる多値記憶の半導体記憶装置と、こうした半導体記憶装置を具備した記憶システムを提供することにある。

【0021】

【課題を解決するための手段】上記課題を解決するために本発明は、次のような構成を採用している。

(1) “1”状態は第1のしきい値レベルを有し、

“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは3以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルを備えた半導体記憶装置において、メモリセルが“1”状態、“2”状態、…、“m-1”状態、“m”状態(mは2以上の自然数)のいずれかを保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、前記メモリセルを“1”状態、“2”状態、…、“k-1”状態、“k”状態(kはmより大きい自然数)のいずれかにすることを特徴とする。

【0022】(2) “1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、

“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは3以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるペリファイ手段とを備え、前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、メモリセルが“1”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基

づいて、前記メモリセルを“1”状態，“2”状態，
 …，“ $m-1$ ”状態，“ m ”状態（ m は2以上の自然
 数）のいずれかのしきい値レベルにする第1の書き込み
 モードと、メモリセルが“1”状態，“2”状態，
 …，“ $m-1$ ”状態，“ m ”状態のいずれかのしきい値レ
 ベルである場合に、メモリセルの外部から入力する書き
 込みデータとメモリセルのしきい値レベルに基づいて、前
 記メモリセルを“1”状態，“2”状態，…，“ $k-1$
 ”状態，“ k ”状態（ k は m より大きい自然数）のい
 ずれかのしきい値レベルにする第2の書き込みモードと
 を有し、前記第1の書き込みモードにおける前記バイア
 ス値の増加幅を ΔV_{pp1} 、前記第2の書き込みモードに
 おける前記バイアス値の増加幅を ΔV_{pp2} としたとき、
 $\Delta V_{pp1} < \Delta V_{pp2}$ の関係を満足することを特徴とす
 る。

【0023】（3）（1）、（2）において、“1”状
 態が消去状態であり、“2”状態，“3”状態，
 …，“ $m-1$ ”状態，“ m ”状態のしきい値分布幅が“ $m+1$
 ”状態，“ $m+2$ ”状態，…，“ $k-1$ ”状態，
 “ k ”状態のしきい値分布幅よりも狭いことを特徴とす
 る。

【0024】（4）“1”状態は第1のしきい値レベル
 を有し、“2”状態は第2のしきい値レベルを有し、
 “3”状態は第3のしきい値レベルを有し、“ i ”状態
 （ i は n 以下の自然数であり、 n は4以上の自然数）は
 第 i のしきい値レベルを有するような n 値を記憶するメ
 モリセルを備えた半導体記憶装置において、メモリセル
 が“1”状態，“2”状態，…，“ $2^{m-1}-1$ ”状態，
 “ 2^m-1 ”状態（ m は $n=2^m$ を満たす自然数）のい
 ずれかを保持する場合に、メモリセルの外部から入力す
 る書き込みデータとメモリセルが保持するデータに基づ
 いて、前記メモリセルを“1”状態，“2”状態，
 …，“ 2^m-1 ”状態，“ 2^m ”状態のいずれかにするこ
 とを特徴とする。

【0025】（5）“1”状態は第1のしきい値レベル
 を有し、“2”状態は第2のしきい値レベルを有し、
 “3”状態は第3のしきい値レベルを有し、“ i ”状態
 （ i は n 以下の自然数であり、 n は4以上の自然数）は
 第 i のしきい値レベルを有するような n 値を記憶するメ
 モリセルと、前記メモリセルにバイアスを供給して所望
 のしきい値レベル間でメモリセルのしきい値をシフトさ
 せる書き込み手段と、前記メモリセルに所定時間バイア
 スが供給された毎に、所望のしきい値レベル間でメモリ
 セルのしきい値がシフトしたか否かを検出して、しきい
 値がシフトするまで前記書き込み手段による前記メモリ
 セルへのバイアスの供給を繰り返させるペリフェイ手段
 とを備え、前記書き込み手段による前記メモリセルへの
 バイアスの供給を繰り返す際、繰り返し回数に応じてバ
 イアス値が段階的に増加する半導体記憶装置において、
 メモリセルが“1”状態のしきい値レベルである場合

に、メモリセルの外部から入力する書き込みデータに基
 づいて、前記メモリセルを“1”状態又は“2”状態の
 いずれかのしきい値レベルにする第1の書き込みモード
 と、メモリセルが“1”状態，“2”状態，…，“ $2^{m-1}-1$
 ”状態，“ 2^m-1 ”状態（ m は $n=2^m$ を満た
 す自然数）のいずれかのしきい値レベルである場合に、
 メモリセルの外部から入力する書き込みデータとメモリ
 セルのしきい値レベルに基づいて、前記メモリセルを
 “1”状態，“2”状態，…，“ 2^m-1 ”状態，“ 2^m
 ”状態のいずれかのしきい値レベルにする第 m の書き
 込みモードとを有し、前記第1の書き込みモードにおけ
 る前記バイアス値の増加幅を ΔV_{pp1} 、前記第 m の書き
 込みモードにおける前記バイアス値の増加幅を ΔV_{ppm}
 としたとき、 $\Delta V_{pp1} < \Delta V_{ppm}$ の関係を満足するこ
 とを特徴とする。

【0026】（6）（5）において、“2”状態のしき
 い値分布幅が“ $2^{m-1}+1$ ”状態，“ $2^{m-1}+2$ ”状
 態，…，“ 2^m-1 ”状態，“ 2^m ”状態のしきい値分
 布幅よりも狭いことを特徴とする。

（7）（4）、（5）において、“1”状態が消去状態
 であり、“2”状態，“3”状態，…，“ $2^{m-1}-1$
 ”状態，“ 2^m-1 ”状態のしきい値分布幅が“ $2^{m-1}+1$
 ”状態，“ $2^{m-1}+2$ ”状態，…，“ 2^m-1 ”状
 態，“ 2^m ”状態のしきい値分布幅よりも狭いことを特
 徴とする。

【0027】（8）“1”状態は第1のしきい値レベル
 を有し、“2”状態は第2のしきい値レベルを有し、
 “3”状態は第3のしきい値レベルを有し、“ i ”状態
 （ i は n 以下の自然数であり、 n は4以上の自然数）は
 第 i のしきい値レベルを有するような n 値を記憶するメ
 モリセルを備えた半導体記憶装置において、メモリセル
 が“1”状態又は“2”状態を保持する場合に、メモリ
 セルの外部から入力する書き込みデータとメモリセルが
 保持するデータに基づいて、前記メモリセルを“1”状
 態，“2”状態，“3”状態又は“4”状態にすることを
 特徴とする。

【0028】（9）“1”状態は第1のしきい値レベル
 を有し、“2”状態は第2のしきい値レベルを有し、
 “3”状態は第3のしきい値レベルを有し、“ i ”状態
 （ i は n 以下の自然数であり、 n は3以上の自然数）は
 第 i のしきい値レベルを有するような n 値を記憶するメ
 モリセルと、前記メモリセルにバイアスを供給して所望
 のしきい値レベル間でメモリセルのしきい値をシフトさ
 せる書き込み手段と、前記メモリセルに所定時間バイア
 スが供給された毎に、所望のしきい値レベル間でメモリ
 セルのしきい値がシフトしたか否かを検出して、しきい
 値がシフトするまで前記書き込み手段による前記メモリ
 セルへのバイアスの供給を繰り返させるペリフェイ手段
 とを備え、前記書き込み手段による前記メモリセルへの
 バイアスの供給を繰り返す際、繰り返し回数に応じてバ

イアス値が段階的に増加する半導体記憶装置において、メモリセルが“1”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基づいて、前記メモリセルを“1”状態又は“2”状態のいずれかのしきい値レベルにする第1の書き込みモードと、メモリセルが“1”状態又は“2”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、“3”状態又は“4”状態のいずれかのしきい値レベルにする第2の書き込みモードとを有し、前記第1の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp1} 、前記第2の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp2} としたとき、 $\Delta V_{pp1} < \Delta V_{pp2}$ の関係を満足することを特徴とする。

【0029】(10)(8)、(9)において、“1”状態が消去状態であり、“2”状態のしきい値分布幅が“3”状態及び“4”状態のしきい値分布幅よりも狭いことを特徴とする。

【0030】(11)“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは4以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルを備えた半導体記憶装置において、メモリセルが“1”状態、“2”状態、…、“r-1”状態、“r”状態(rは2以上の自然数)のいずれかを保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、前記メモリセルを“1”状態、“2”状態、…、“s-1”状態、“s”状態(sはrより大きい自然数)のいずれかにし、メモリセルが“1”状態、“2”状態、…、“s-1”状態、“s”状態のいずれかを保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、前記メモリセルを“1”状態、“2”状態、…、“t-1”状態、“t”状態(tはsより大きい自然数)のいずれかにすることを特徴とする。

【0031】(12)“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは4以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるベリファイ手段

とを備え、前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返す回数に応じてバイアス値が段階的に増加する半導体記憶装置において、メモリセルが“1”状態、“2”状態、…、“r-1”状態、“r”状態(rは2以上の自然数)のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“s-1”状態、“s”状態(sはrより大きい自然数)のいずれかのしきい値レベルにする第j(jは2以上の自然数)の書き込みモードと、メモリセルが

“1”状態、“2”状態、…、“s-1”状態、“s”状態のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“t-1”状態、“t”状態(tはsより大きい自然数)のいずれかのしきい値レベルにする第j+1の書き込みモードとを有し、前記第jの書き込みモードにおける前記バイアス値の増加幅を ΔV_{ppj} 、前記第j+1の書き込みモードにおける前記バイアス値の増加幅を $\Delta V_{pp(j+1)}$ としたとき、 $\Delta V_{ppj} < \Delta V_{pp(j+1)}$ の関係を満足することを特徴とする。

【0032】(13)(11)、(12)において、“r+1”状態、“r+2”状態、…、“s-1”状態、“s”状態のしきい値分布幅が“s+1”状態、“s+2”状態、…、“t-1”状態、“t”状態のしきい値分布幅よりも狭いことを特徴とする。

(14)(11)～(13)において、“1”状態が消去状態であり、“2”状態、“3”状態、…、“r-1”状態、“r”状態のしきい値分布幅が“r+1”状態、“r+2”状態、…、“s-1”状態、“s”状態のしきい値分布幅よりも狭いことを特徴とする。

【0033】(15)“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは4以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルを備えた半導体記憶装置において、メモリセルが“1”状態、“2”状態、…、“ $2^{k-1}-1$ ”状態、“ 2^{k-1} ”状態(kは2以上の自然数)のいずれかを保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ 2^k-1 ”状態、“ 2^k ”状態のいずれかにし、メモリセルが“1”状態、“2”状態、…、“ 2^k-1 ”状態、“ 2^k ”状態のいずれかを保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ $2^{k+1}-1$ ”状態、“ 2^{k+1} ”状態のいずれかにすることを特徴とする。

【0034】(16) “1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態 (i は n 以下の自然数であり、 n は4以上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するメモリセルと、前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるペリフェイ手段とを備え、前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、メモリセルが“1”状態，“2”状態，…，“ $2^{k-1} - 1$ ”状態，“ 2^{k-1} ”状態 (k は2以上の自然数)のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態，“2”状態，…，“ $2^k - 1$ ”状態，“ 2^k ”状態のいずれかのしきい値レベルにする第 k の書き込みモードと、メモリセルが“1”状態，“2”状態，…，“ $2^k - 1$ ”状態，“ 2^k ”状態のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態，“2”状態，…，“ $2^{k+1} - 1$ ”状態，“ 2^{k+1} ”状態のいずれかのしきい値レベルにする第 $k+1$ の書き込みモードとを有し、前記第 k の書き込みモードにおける前記バイアス値の増加幅を ΔV_{ppk} 、前記第 $k+1$ の書き込みモードにおける前記バイアス値の増加幅を $\Delta V_{pp(k+1)}$ としたとき、 $\Delta V_{ppk} < \Delta V_{pp(k+1)}$ の関係を満足することを特徴とする。

【0035】(17) (15) (16)において、“ $2^{k-1} + 1$ ”状態，“ $2^{k-1} + 2$ ”状態，…，“ $2^k - 1$ ”状態，“ 2^k ”状態のしきい値分布幅が“ $2^k + 1$ ”状態，“ $2^k + 2$ ”状態，…，“ $2^{k+1} - 1$ ”状態，“ 2^{k+1} ”状態のしきい値分布幅よりも狭いことを特徴とする。

(18) (15)～(17)において、“1”状態が消去状態であり、“2”状態，“3”状態，…，“ $2^{k-1} - 1$ ”状態，“ 2^{k-1} ”状態のしきい値分布幅が“ $2^{k-1} + 1$ ”状態，“ $2^{k-1} + 2$ ”状態，…，“ $2^k - 1$ ”状態，“ 2^k ”状態のしきい値分布幅よりも狭いことを特徴とする。

【0036】(19) (15)～(18)において、“1”状態が消去状態であり、“2”状態のしきい値分布幅が“3”状態，“4”状態，…，“ $2^{k-1} - 1$ ”状態，“ 2^{k-1} ”状態のしきい値分布幅よりも狭いことを特徴とする。

【0037】(20) “1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態 (i は n 以下の自然数であり、 n は3以上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するメモリセルを備えた半導体記憶装置において、第1の書き込み動作に際しメモリセルは、第1の論理レベルが入力すると“1”状態になり、第2の論理レベルが入力すると“2”状態になり、第 $k-1$ (k は2以上の自然数)の書き込み動作の結果“A”状態であるメモリセルは第 k の書き込み動作に際し、第 $2k-1$ の論理レベルが入力すると“A”状態になり、第 $2k$ の論理レベルが入力すると“A + 2^{k-1} ”状態になることを特徴とする。

【0038】(21) “1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態 (i は n 以下の自然数であり、 n は3以上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するメモリセルと、前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるペリフェイ手段とを備え、前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、第1の書き込み動作に際しメモリセルは、第1の論理レベルが入力すると“1”状態になり、第2の論理レベルが入力すると“2”状態になり、第 $k-1$ (k は2以上の自然数)の書き込み動作の結果“A”状態であるメモリセルは第 k の書き込み動作に際し、第 $2k-1$ の論理レベルが入力すると“A”状態になり、第 $2k$ の論理レベルが入力すると“A + 2^{k-1} ”状態になり、前記第1の書き込み動作を行なう第1の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp1} 、前記第 k の書き込み動作を行なう第 k の書き込みモードにおける前記バイアス値の増加幅を ΔV_{ppk} としたとき、 $\Delta V_{pp1} < \Delta V_{ppk}$ の関係を満足することを特徴とする。

【0039】(22) (20)、(21)において、“1”状態が消去状態であり、“2”状態のしきい値分布幅が“A + 2^{k-1} ”状態のしきい値分布幅よりも狭いことを特徴とする。

(23) (20)、(21)において、“A”状態のしきい値分布幅が“A + 2^{k-1} ”状態のしきい値分布幅よりも狭いことを特徴とする。

【0040】(24) “1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態

(i は n 以下の自然数であり、 n は 4 以上の自然数) は第 i のしきい値レベルを有するような n 値を記憶するメモリセルを備えた半導体記憶装置において、第1の書き込み動作に際しメモリセルは、第1の論理レベルが入力すると“1”状態になり、第2の論理レベルが入力すると“2”状態になり、第1の書き込み動作の結果“1”状態であるメモリセルは第2の書き込み動作に際し、第3の論理レベルが入力すると“1”状態になり、第4の論理レベルが入力すると“3”状態になり、第1の書き込み動作の結果“2”状態であるメモリセルは第2の書き込み動作に際し、第3の論理レベルが入力すると“2”状態になり、第4の論理レベルが入力すると“4”状態になることを特徴とする。

【0041】(25) “1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“ i ”状態(i は n 以下の自然数であり、 n は 4 以上の自然数) は第 i のしきい値レベルを有するような n 値を記憶するメモリセルと、前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるベリファイ手段とを備え、前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、第1の書き込み動作に際しメモリセルは、第1の論理レベルが入力すると“1”状態になり、第2の論理レベルが入力すると“2”状態になり、第1の書き込み動作の結果“1”状態であるメモリセルは第2の書き込み動作に際し、第3の論理レベルが入力すると“1”状態になり、第4の論理レベルが入力すると“3”状態になり、第1の書き込み動作の結果“2”状態であるメモリセルは第2の書き込み動作に際し、第3の論理レベルが入力すると“2”状態になり、第4の論理レベルが入力すると“4”状態になり、前記第1の書き込み動作を行なう第1の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp1} 、前記第2の書き込み動作を行なう第2の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp2} としたとき、 $\Delta V_{pp1} < \Delta V_{pp2}$ の関係を満足することを特徴とする。

【0042】(26) (24)、(25)において、“1”状態が消去状態であり、“2”状態のしきい値分布幅が“3”状態及び“4”状態のしきい値分布幅よりも狭いことを特徴とする。

(27) (24)～(26)において、前記第3のしきい値レベルが第2のしきい値レベルより大きいことを特徴とする。

(28) (27)において、“3”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差が、“2”状態のしきい値分布と“3”状態のしきい値分布の間の電圧差と等しいことを特徴とする。

(29) (27)において、“3”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差が、“2”状態のしきい値分布と“3”状態のしきい値分布の間の電圧差より大きいことを特徴とする。

(30) (24)～(26)において、前記第3のしきい値レベルが第2のしきい値レベルより小さいことを特徴とする。

【0043】(31) (30)において、“2”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差が、“3”状態のしきい値分布と“2”状態のしきい値分布の間の電圧差と等しいことを特徴とする。

(32) (30)において、“2”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差が、“3”状態のしきい値分布と“2”状態のしきい値分布の間の電圧差より大きいことを特徴とする。

(33) “1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“ i ”状態(i は n 以下の自然数であり、 n は 4 以上の自然数) は第 i のしきい値レベルを有するような n 値を記憶するメモリセルを備えた半導体記憶装置において、第1の書き込み動作に際しメモリセルは、第1の論理レベルが入力すると“1”状態になり、第2の論理レベルが入力すると“2”状態になり、第1の書き込み動作の結果“1”状態であるメモリセルは、第2の書き込み動作に際し、第3の論理レベルが入力すると、メモリセルに保持する“1”データと第3の論理レベルに基づいて“1”状態になり、第4の論理レベルが入力すると、メモリセルに保持する“1”データと第4の論理レベルに基づいて“3”状態になり、第1の書き込み動作の結果“2”状態であるメモリセルは、第2の書き込み動作に際し、第3の論理レベルが入力すると、メモリセルに保持する“2”データと第3の論理レベルに基づいて“2”状態になり、第4の論理レベルが入力すると、メモリセルに保持する“2”データと第4の論理レベルに基づいて“4”状態になることを特徴とする。

【0044】(34) “1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“ i ”状態(i は n 以下の自然数であり、 n は 4 以上の自然数) は第 i のしきい値レベルを有するような n 値を記憶するメモリセルと、前記メモリセルの書き込みデータを保持するデータ回路とを備えた半導体記憶装置において、第1の書き込み動作に際しメモリセルは、データ回路に保持する第1の書き込みデータに応じて、書き込みデータが第1の論理レベルの場合には“1”状態になり、書き込

みデータが第2の論理レベルの場合には“2”状態になり、次いで、前記データ回路がメモリセルの外部から入力する第2の書き込みデータ及び、前記メモリセルから読み出されたデータを保持した後に、メモリセルが“1”状態でありかつ第2の書き込みデータが第3の論理レベルであると前記データ回路が保持する場合、前記メモリセルは“1”状態になり、メモリセルが“1”状態でありかつ第2の書き込みデータが第4の論理レベルであると前記データ回路が保持する場合、前記メモリセルは“3”状態になり、メモリセルが“2”状態でありかつ第2の書き込みデータが第3の論理レベルであると前記データ回路が保持する場合、前記メモリセルは“2”状態になり、メモリセルが“2”状態でありかつ第2の書き込みデータが第4の論理レベルであると前記データ回路が保持する場合、前記メモリセルは“4”状態になることを特徴とする。

【0045】(35)(24)～(34)において、第1の論理レベルと第3の論理レベルが等しく、第2の論理レベルと第4の論理レベルが等しいことを特徴とする。

(36)“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは3以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、前記メモリセルの書き込みデータを保持するデータ回路とを備えた半導体記憶装置において、メモリセルが“1”状態、“2”状態、…、“m-1”状態、“m”状態(mは2以上の自然数)を保持する場合に、データ回路がメモリセルの外部から入力する書き込みデータ及び、前記メモリセルから読み出されたデータを保持した後に、前記データ回路に保持したデータを基に、前記メモリセルを“1”状態、“2”状態、…、“k-1”状態、“k”状態(kはmより大きい自然数)にすることを特徴とする。

【0046】(37)“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは3以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、前記メモリセルの書き込みデータを保持するデータ回路と、前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返させるペリフェリヤ手段とを備え、前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返回数に応じてバイアス値が段階的に増加する半導体記憶装置におい

て、メモリセルが“1”状態のしきい値レベルである場合に、データ回路がメモリセルの外部から入力する書き込みデータを保持した後に、前記データ回路に保持したデータを基に、前記メモリセルを“1”状態、“2”状態、…、“m-1”状態、“m”状態(mは2以上の自然数)のいずれかのしきい値レベルにする第1の書き込みモードと、メモリセルが“1”状態、“2”状態、…、“m-1”状態、“m”状態のいずれかのしきい値レベルである場合に、データ回路がメモリセルの外部から入力する書き込みデータ及び、前記メモリセルから読み出されたデータを保持した後に、前記データ回路に保持したデータを基に、前記メモリセルを“1”状態、“2”状態、…、“k-1”状態、“k”状態(kはmより大きい自然数)のいずれかのしきい値レベルにする第2の書き込みモードとを有し、前記第1の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp1} 、前記第2の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp2} としたとき、 $\Delta V_{pp1} < \Delta V_{pp2}$ の関係を満足することを特徴とする。

【0047】(38)(36)、(37)において、“1”状態が消去状態であり、“2”状態、“3”状態、…、“m-1”状態、“m”状態のしきい値分布幅が“m+1”状態、“m+2”状態、…、“k-1”状態、“k”状態のしきい値分布幅よりも狭いことを特徴とする。

【0048】(39)“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは4以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、前記メモリセルの書き込みデータを保持するデータ回路とを備えた半導体記憶装置において、メモリセルが“1”状態又は“2”状態を保持する場合に、データ回路がメモリセルの外部から入力する書き込みデータ、及び前記メモリセルから読み出されたデータを保持した後に、前記データ回路に保持したデータを基に、前記メモリセルを“1”状態、“2”状態、“3”状態又は“4”状態にすることを特徴とする。

【0049】(40)“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態(iはn以下の自然数であり、nは4以上の自然数)は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、前記メモリセルの書き込みデータを保持するデータ回路と、前記メモリセルにバイアスを供給して所望のしきい値レベル間でメモリセルのしきい値をシフトさせる書き込み手段と、前記メモリセルに所定時間バイアスが供給された毎に、所望のしきい値レベル間でメモリセルのしきい値がシフトしたか否かを検出して、しきい値がシフトするまで前記書き込み手段による前記メ

メモリセルへのバイアスの供給を繰り返させるペリフェイ手段とを備え、前記書き込み手段による前記メモリセルへのバイアスの供給を繰り返す際、繰り返し回数に応じてバイアス値が段階的に増加する半導体記憶装置において、メモリセルが“1”状態のしきい値レベルである場合に、データ回路がメモリセルの外部から入力する書き込みデータを保持した後に、前記データ回路に保持したデータを基に、前記メモリセルを“1”状態又は“2”状態のいずれかのしきい値レベルにする第1の書き込みモードと、メモリセルが“1”状態又は“2”状態のいずれかのしきい値レベルである場合に、データ回路がメモリセルの外部から入力する書き込みデータ及び、前記メモリセルから読み出されたデータを保持した後に、前記データ回路に保持したデータを基に、前記メモリセルを“1”状態、“2”状態、“3”状態又は“4”状態のいずれかのしきい値レベルにする第2の書き込みモードとを有し、前記第1の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp1} 、前記第2の書き込みモードにおける前記バイアス値の増加幅を ΔV_{pp2} としたとき、 $\Delta V_{pp1} < \Delta V_{pp2}$ の関係を満足することを特徴とする。

【0050】(41)(39)、(40)において、“1”状態が消去状態であり、“2”状態のしきい値分布幅が“3”状態及び“4”状態のしきい値分布幅よりも狭いことを特徴とする。

(42)(1)～(41)において、メモリセルは、ワード線を共有してメモリセルアレイを構成することを特徴とする。

【0051】(43)複数ビットのデータの記憶が可能なメモリセルと、前記メモリセルの書き込みデータを保持するデータ回路とを備えた半導体記憶装置において、前記複数ビットのデータのうち先にメモリセルに書き込まれるものを上位ビットのデータ、後にメモリセルに書き込まれるものを下位ビットのデータとしたとき、データ回路にメモリセルの外部から第1の書き込みデータが入力されて一時的に記憶された後前記上位ビットのデータの書き込み動作が行なわれ、前記上位ビットのデータの書き込み動作の終了後に、前記データ回路にメモリセルの外部から第2の書き込みデータが入力されて一時的に記憶された後前記下位ビットのデータの書き込み動作が行なわれることを特徴とする。

【0052】(44)(43)において、前記下位ビットのデータの書き込み動作は、前記データ回路がメモリセルの外部から入力された第2の書き込みデータ及び、前記メモリセルから読み出された前記上位ビットのデータを保持した後に行なわれることを特徴とする。

【0053】(45)複数ビットのデータの記憶が可能なメモリセルと、前記メモリセルの書き込みデータを保持するデータ回路とを備え、所定の複数個のメモリセルからなるメモリセル群が書き込み単位となるページを形成

する半導体記憶装置において、前記複数ビットのデータのうち先にメモリセルに書き込まれるものを上位ビットのデータ、後にメモリセルに書き込まれるものを下位ビットのデータとし、前記ページを形成するメモリセル群のそれぞれに対し前記複数ビットのデータを書き込むに当り、前記上位ビットのデータの書き込みを行なう動作を上位ページの書き込み動作、前記下位ビットのデータの書き込みを行なう動作を下位ページの書き込み動作としたとき、前記ページを形成する各メモリセル群のそれぞれについて、上位ページの書き込み動作が終了した後下位ページの書き込み動作が開始されることを特徴とする。

【0054】(46)(45)において、前記データ回路にメモリセルの外部から第1の書き込みデータが入力されて一時的に記憶された後前記上位ページの書き込み動作が行なわれ、次いで前記データ回路にメモリセルの外部から第2の書き込みデータが入力されて一時的に記憶された後前記下位ページの書き込み動作が行なわれることを特徴とする。

(47)(45)、(46)において前記データ回路は、複数個のメモリセルからなるメモリセル群に対応して複数個設けられていることを特徴とする。

【0055】(48)複数ビットのデータの記憶が可能なメモリセルと、前記メモリセルの書き込みデータを保持するデータ回路と、前記データ回路に保持された書き込みデータに応じて前記メモリセルへの書き込み動作を行なう書き込み手段と、前記データ回路に保持された書き込みデータが前記メモリセルに書き込まれたか否かを検出して、所望の書き込みが行なわれたことが検出されるまで前記書き込み手段による前記メモリセルへの書き込み動作を繰り返させるペリフェイ手段とを備えた半導体記憶装置において、前記複数ビットのデータのうち先にメモリセルに書き込まれるものを上位ビットのデータ、後にメモリセルに書き込まれるものを下位ビットのデータとしたとき、前記上位ビットのデータについて前記書き込み手段によるメモリセルへの書き込み動作を行ない、所望の書き込みが行なわれたことを前記ペリフェイ手段で検出した後、前記下位ビットのデータについて前記書き込み手段によるメモリセルへの書き込み動作が行なわれることを特徴とする。

【0056】(49)(48)において、前記下位ビットのデータの書き込み動作は、前記上位ビットのデータが書き込まれた後、前記データ回路がメモリセルの外部から入力された書き込みデータ及び、前記メモリセルから読み出された前記上位ビットのデータを保持した後に行なわれることを特徴とする。

(50)複数ビットのデータの記憶が可能なメモリセルと、前記メモリセルの書き込みデータを保持するデータ回路と、前記データ回路に保持された書き込みデータに応じて前記メモリセルへの書き込み動作を行なう書き込

み手段と、前記データ回路に保持された書き込みデータが前記メモリセルに書き込まれたか否かを検出して、所望の書き込みが行なわれたことが検出されるまで前記書き込み手段による前記メモリセルへの書き込み動作を繰り返させるベリファイ手段とを備え、所定の複数のメモリセルからなるメモリセル群が書き込み単位となるページを形成する半導体記憶装置において、前記複数ビットのデータのうち先にメモリセルに書き込まれるものを上位ビットのデータ、後にメモリセルに書き込まれるものを下位ビットのデータとし、前記ページを形成するメモリセル群のそれぞれに対し前記複数ビットのデータを書き込むに当たり、前記上位ビットのデータの書き込みを行なう動作を上位ページの書き込み動作、前記下位ビットのデータの書き込みを行なう動作を下位ページの書き込み動作としたとき、前記ページを形成する各メモリセル群のそれぞれについて、前記書き込み手段による上位ページの書き込み動作を行ない、メモリセル群の全てのメモリセルで所望の書き込みが行なわれたことを前記ベリファイ手段で検出した後、前記書き込み手段による下位ページの書き込み動作が行なわれることを特徴とする。

【0057】(51)(50)において、前記下位ページの書き込み動作は、前記上位ページの書き込み動作の後、前記データ回路がメモリセルの外部から入力された書き込みデータ及び、前記メモリセルから読み出されたデータを保持した後に行なわれることを特徴とする。

(52)(50)、(51)において、前記データ回路は、複数のメモリセルからなるメモリセル群に対応して複数個設けられていることを特徴とする。

【0058】(53)所定の複数のメモリセルからなるメモリセル群が書き込み単位となるページを形成する半導体記憶装置において、前記メモリセルは複数ビットのデータの記憶が可能な n 値(n は3以上の自然数)記憶メモリセルであり、第 p (p は1以上の自然数)の書き込み動作及び第 $p+1$ の書き込み動作による前記メモリセルへの複数ビットのデータの書き込みの際、第1のページに属する第1のメモリセルに第 p の書き込み動作を行ない、第2のページに属する第2のメモリセルに第 p の書き込み動作を行なった後、前記第1のメモリセルに第 $p+1$ の書き込み動作を行なうことを特徴とする。

【0059】(54)複数ビットのデータの記憶が可能なメモリセルと、前記メモリセルの書き込みデータを保持するデータ回路と、前記データ回路に保持された書き込みデータに応じて前記メモリセルへの書き込み動作を行なう書き込み手段と、前記データ回路に保持された書き込みデータが前記メモリセルに書き込まれたか否かを検出して、所望の書き込みが行なわれたことが検出されるまで前記書き込み手段による前記メモリセルへの書き込み動作を繰り返させるベリファイ手段とを備え、所定の複数のメモリセルからなるメモリセル群が書き込み単

位となるページを形成する半導体記憶装置において、第 p (p は1以上の自然数)の書き込み動作及び第 $p+1$ の書き込み動作による前記メモリセルへの複数ビットのデータの書き込みの際、第1のページに属する第1のメモリセルに第 p の書き込み動作を行ない、第2のページに属する第2のメモリセルに第 p の書き込み動作を行なった後、前記第1のメモリセルに第 $p+1$ の書き込み動作を行なうことを特徴とする。

【0060】(55)(53)、(54)において、前記第1のメモリセルへの第 $p+1$ の書き込み動作に引き続いて、前記第2のメモリセルに第 $p+1$ の書き込み動作を行なうことを特徴とする。

(56)(54)において、前記第1のメモリセルへの第 p の書き込み動作の結果、第1のメモリセルに所望の書き込みが行なわれたことを前記ベリファイ手段で検出した後、前記書き込み手段による前記第2のメモリセルへの第 p の書き込み動作が行なわれることを特徴とする。

(57)(54)において、前記第2のメモリセルへの第 p の書き込み動作の結果、第2のメモリセルに所望の書き込みが行なわれたことを前記ベリファイ手段で検出した後、前記書き込み手段による前記第1のメモリセルへの第 $p+1$ の書き込み動作が行なわれることを特徴とする。

【0061】(58)(53)～(57)において、前記第 p の書き込み動作が第1の書き込み動作であり、前記第 $p+1$ の書き込み動作が第2の書き込み動作であることを特徴とする。

(59)(58)において、前記メモリセルは、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“ i ”状態(i は n 以下の自然数であり、 n は3以上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するものであり、メモリセルが“1”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基づいて前記第1の書き込みが行なわれ、前記メモリセルを“1”状態、“2”状態、…、“ $m-1$ ”状態、“ m ”状態(m は2以上の自然数)のいずれかのしきい値レベルにする第1の書き込みモードと、メモリセルが“1”状態、“2”状態、…、“ $m-1$ ”状態、“ m ”状態のいずれかのしきい値レベルである場合に前記第2の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ $k-1$ ”状態、“ k ”状態(k は m より大きい自然数)のいずれかのしきい値レベルにする第2の書き込みモードとを有することを特徴とする。

【0062】(60)(53)～(57)において、前記メモリセルは、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態

は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するものであり、メモリセルが“1”状態，“2”状態，…，“r-1”状態，“r”状態（rは2以上の自然数）のいずれかのしきい値レベルである場合に前記第pの書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態，“2”状態，…，“s-1”状態，“s”状態（sはrより大きい自然数）のいずれかのしきい値レベルにする第j（jは2以上の自然数）の書き込みモードと、メモリセルが“1”状態，“2”状態，…，“s-1”状態，“s”状態のいずれかのしきい値レベルである場合に前記第p+1の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態，“2”状態，…，“t-1”状態，“t”状態（tはsより大きい自然数）のいずれかのしきい値レベルにする第j+1の書き込みモードとを有することを特徴とする。

【0063】(61) 所定の複数個のメモリセルからなるメモリセル群が書き込み単位となるページを形成する半導体記憶装置において、前記メモリセルは複数ビットのデータの記憶が可能なn値（nは3以上の自然数）記憶メモリセルであり、第p（pは1以上の自然数）の書き込み動作及び第p+1の書き込み動作による前記メモリセルへの複数ビットのデータの書き込みの際、第1のページに属するメモリセル群に第pの書き込み動作を行ない、第2のページに属するメモリセル群に第pの書き込み動作を行なった後、前記第1のページに属するメモリセル群に第p+1の書き込み動作を行なうことを特徴とする。

【0064】(62) 複数ビットのデータの記憶が可能なメモリセルと、前記メモリセルの書き込みデータを保持するデータ回路と、前記データ回路に保持された書き込みデータに応じて前記メモリセルへの書き込み動作を行なう書き込み手段と、前記データ回路に保持された書き込みデータが前記メモリセルに書き込まれたか否かを検出して、所望の書き込みが行なわれたことが検出されるまで前記書き込み手段による前記メモリセルへの書き込み動作を繰り返させるベリファイ手段とを備え、所定の複数個のメモリセルからなるメモリセル群が書き込み単位となるページを形成する半導体記憶装置において、第p（pは1以上の自然数）の書き込み動作及び第p+1の書き込み動作による前記メモリセルへの複数ビットのデータの書き込みの際、第1のページに属するメモリセル群に第pの書き込み動作を行ない、第2のページに属するメモリセル群に第pの書き込み動作を行なった後、前記第1のページに属するメモリセル群に第p+1の書き込み動作を行なうことを特徴とする。

【0065】(63) (61)、(62)において、前記第1のページに属するメモリセル群への第p+1の書き込み動作に引き続いて、前記第2のページに属するメモリセル群に第p+1の書き込み動作を行なうことを特徴とする。

(64) (62)において、前記第1のページに属するメモリセル群への第pの書き込み動作の結果、第1のページを形成するメモリセル群の全てのメモリセルで所望の書き込みが行なわれたことを前記ベリファイ手段で検出した後、前記書き込み手段による前記第2のページに属するメモリセル群への第pの書き込み動作が行なわれることを特徴とする。

【0066】(65) (62)において、前記第2のページに属するメモリセル群への第pの書き込み動作の結果、第2のページを形成するメモリセル群の全てのメモリセルで所望の書き込みが行なわれたことを前記ベリファイ手段で検出した後、前記書き込み手段による前記第1のページに属するメモリセル群への第p+1の書き込み動作が行なわれることを特徴とする。

(66) (61)～(65)において、前記第pの書き込み動作が第1の書き込み動作であり、前記第p+1の書き込み動作が第2の書き込み動作であることを特徴とする。

【0067】(67) (66)において、前記メモリセルは、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは3以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するものであり、メモリセルが“1”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基づいて前記第1の書き込みが行なわれ、前記メモリセルを“1”状態，“2”状態，…，“m-1”状態，“m”状態（mは2以上の自然数）のいずれかのしきい値レベルにする第1の書き込みモードと、メモリセルが“1”状態，“2”状態，…，“m-1”状態，“m”状態のいずれかのしきい値レベルである場合に前記第2の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態，“2”状態，…，“k-1”状態，“k”状態（kはmより大きい自然数）のいずれかのしきい値レベルにする第2の書き込みモードとを有することを特徴とする。

【0068】(68) (61)～(65)において、前記メモリセルは、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するものであり、メモリセルが“1”状態，“2”状態，…，“r-1”状態，“r”状態（rは2以上の自然数）のいずれかの

しきい値レベルである場合に前記第 p の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ $s-1$ ”状態、“ s ”状態(s は r より大きい自然数)のいずれかのしきい値レベルにする第 j (j は2以上の自然数)の書き込みモードと、メモリセルが“1”状態、“2”状態、…、“ $s-1$ ”状態、“ s ”状態のいずれかのしきい値レベルである場合に前記第 $p+1$ の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ $t-1$ ”状態、“ t ”状態(t は s より大きい自然数)のいずれかのしきい値レベルにする第 $j+1$ の書き込みモードとを有することを特徴とする。

【0069】(69)(61)～(68)において、装置内の全ページに属するメモリセル群に対しそれぞれ前記第 p の書き込み動作が行なわれた後、第1のページに属するメモリセル群への前記第 $p+1$ の書き込み動作が行なわれることを特徴とする。

(70)(53)～(69)において、前記第 $p+1$ の書き込み動作の行なわれた回数が各ページ毎に記憶され、この回数に基づいて書き込み順が決定されることを特徴とする。

(71)(43)～(70)において、前記メモリセルは、所定の複数個が1本のワード線を共有するとともに、前記ワード線を共有する所定の複数個のメモリセルからなるメモリセル群が、書き込み単位となるページを形成することを特徴とする。

【0070】(72)複数ビットのデータの記憶が可能なメモリセルを備えた半導体記憶装置を複数個記憶部として具備した記憶システムにおいて、前記メモリセルは、各半導体記憶装置毎にそれぞれ所定の複数個のメモリセルからなるメモリセル群が書き込み単位となるページを形成し、第 p (p は1以上の自然数)の書き込み動作及び第 $p+1$ の書き込み動作による前記メモリセルへの複数ビットのデータの書き込みの際、第1の半導体記憶装置内のページに属するメモリセル群に第 p の書き込み動作を行ない、第2の半導体記憶装置内のページに属するメモリセル群に同様の第 p の書き込み動作を行なった後、前記第1の半導体記憶装置内のページに属するメモリセル群に第 $p+1$ の書き込み動作を行なうことを特徴とする。

(73)(72)において、前記第1の半導体記憶装置内のページに属するメモリセル群への第 $p+1$ の書き込み動作に引き続いて、前記第2の半導体記憶装置内のページに属するメモリセル群に第 $p+1$ の書き込み動作を行なうことを特徴とする。

【0071】(74)(73)において、前記第1の半導体記憶装置内の1部のページに属するメモリセル群のみに

前記第 $p+1$ の書き込み動作を行なった後、前記第2の半導体記憶装置内のページに属するメモリセル群に第 $p+1$ の書き込み動作を行なうことを特徴とする。

(75)(72)～(74)において、前記第 p の書き込み動作が第1の書き込み動作であり、前記第 $p+1$ の書き込み動作が第2の書き込み動作であることを特徴とする。

【0072】(76)(75)において、前記メモリセルは、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“ i ”状態(i は n 以下の自然数であり、 n は3以上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するものであり、メモリセルが“1”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基づいて前記第1の書き込みが行なわれ、前記メモリセルを“1”状態、“2”状態、…、“ $m-1$ ”状態、“ m ”状態(m は2以上の自然数)のいずれかのしきい値レベルにする第1の書き込みモードと、メモリセルが“1”状態、“2”状態、…、“ $m-1$ ”状態、“ m ”状態のいずれかのしきい値レベルである場合に前記第2の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ $k-1$ ”状態、“ k ”状態(k は m より大きい自然数)のいずれかのしきい値レベルにする第2の書き込みモードとを有することを特徴とする。

【0073】(77)(72)～(74)において、前記メモリセルは、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“ i ”状態(i は n 以下の自然数であり、 n は4以上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するものであり、メモリセルが“1”状態、“2”状態、…、“ $r-1$ ”状態、“ r ”状態(r は2以上の自然数)のいずれかのしきい値レベルである場合に前記第 p の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ $s-1$ ”状態、“ s ”状態(s は r より大きい自然数)のいずれかのしきい値レベルにする第 j (j は2以上の自然数)の書き込みモードと、メモリセルが“1”状態、“2”状態、…、“ $s-1$ ”状態、“ s ”状態のいずれかのしきい値レベルである場合に前記第 $p+1$ の書き込みが行なわれ、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて、前記メモリセルを“1”状態、“2”状態、…、“ $t-1$ ”状態、“ t ”状態(t は s より大きい自然数)のいずれかのしきい値レベルにする第 $j+1$ の書き込みモードとを有することを特徴とする。

【0074】(78)(72)～(77)において、前記記憶

部を成す全ての半導体記憶装置内の全ページに属するメモリセル群に対しそれぞれ前記第pの書き込み動作が行なわれた後、第1の半導体記憶装置内のページに属するメモリセル群への前記第p+1の書き込み動作が行なわれることを特徴とする。

(79) (72)～(78)において、前記半導体記憶装置の動作を制御する手段をさらに具備することを特徴とする。

(80) (79)において、前記半導体記憶装置の動作を制御する手段が、前記ページを形成する各メモリセル群への書き込み順を制御することを特徴とする。

(81) (80)において、前記書き込み順がページ単位で決定されることを特徴とする。

(82) (81)において、前記書き込み順が装置単位で決定されることを特徴とする。

【0075】以上のように構成された本発明によれば、例えば4値セルの場合だと、第1の書き込み動作によりメモリセルを“1”状態又は“2”状態に書き込み、第2の書き込み動作により“1”状態をそのまま保持するか“3”状態に書き込み、さらに“2”状態をそのまま保持するか“4”状態に書き込むことにより、4値の書き込みを行なうことができる。すなわち、2回の書き込み動作により4値の書き込みを行なうことができる。

【0076】従って、第1の書き込み動作は2値セル、第2の書き込み動作は3値セルとほぼ同様に行なうことができる。その結果、書き込み回路は簡略化され、書き込みも高速化される。同様に4値セル以外の多値セルについても、メモリセル内のデータを複数のビットに分けてそれぞれの書き込み動作を行なうことにより、書き込みを高速化することが可能となる。

【0077】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

〔第1の実施形態〕図1は、本発明の第1の実施形態に係わるEEPROMを説明するためのもので、1つのワード線に接続するメモリセルを表した図である。従来の4値メモリセルと異なり、図1では外部から入力した書き込みデータのうち、先頭アドレスからA0をメモリセルMC1に、次のA1をメモリセルMC2に、その次のA2をメモリセルMC3に、というようにアドレスA0からA127のデータを書き込む。

【0078】＜上位ページへの書き込み＞上記のアドレスA0からA127までが第1のページ（上位ページ）を構成する。書き込みの様子を示したのが図2、図3である。A0がLowならばメモリセルは消去状態（“1”）を保ち、A0がHighならばメモリセルは“2”書き込みが行なわれる。このように上位ページ（アドレスA0からA127）への書き込みは2値メモリセルと同様に高速に行なわれる。

【0079】＜下位ページへの書き込み＞次に入力する

アドレスA128からA255のデータが第2のページ（下位ページ）を構成する。アドレスA128をメモリセルMC1に、次のA129をメモリセルMC2に、その次のA130をメモリセルMC3に、というようにアドレスA128からA255のデータを書き込む。書き込みの様子を示したのが図3、図4である。下位ページを書き込む前には既に上位ページのデータがメモリセルに書き込まれている。従って、下位ページを書き込む前ではメモリセルの状態は図3のように“1”状態又は“2”状態である。この後、例えばA128がLowならばメモリセルは書き込まれず、“1”状態又は“2”状態を保つ。

【0080】一方、A128がHighならばメモリセルは図3、図4のように、書き込みが行なわれる。つまり、書き込み前が“1”状態のメモリセルは“3”状態に書き込まれ、“2”状態のメモリセルは“4”状態に書き込まれる。図4から分るように、“1”状態から“3”状態への書き込み、或いは“2”状態から“4”状態への書き込みは従来の書き込み方法（図78）よりもしきい値変化量が小さいので、高速な書き込みが行なわれる。

【0081】次に、図5を用いて読み出しについて説明する。

＜上位ページの読み出し＞第1のページ（上位ページ）を読み出す場合には、メモリセルが“1”状態又は“3”状態にあるのか、或いは“2”状態又は“4”状態にあるのかを判定する。この場合、メモリセルの制御ゲートに“3”状態と“2”状態の間の電圧（図5のV1）を印加する。メモリセルトランジスタが導通すればメモリセルが“1”状態又は“3”状態にあることが分り、その結果として、例えばLowデータが外部に出力される。一方、メモリセルトランジスタが非導通状態を保てば、メモリセルが“2”状態又は“4”状態にあるのかが分り、その結果として、例えばHighデータが外部に出力される。

【0082】＜下位ページの読み出し＞第2のページ（下位ページ）を読み出す場合には、メモリセルが“1”状態又は“2”状態にあるか、或いは“3”状態又は“4”状態にあるかを判定する。この場合、メモリセルの制御ゲートに“3”状態と“2”状態の間の電圧（図5のV1）を印加する。メモリセルトランジスタが導通すればメモリセルが“1”状態又は“3”状態にあることが分る。次に、メモリセルの制御ゲートにまず“1”状態と“3”状態の間の電圧（図5のV2）を印加することにより、メモリセルが“1”状態であるか否かが分る。

【0083】次に、メモリセルの制御ゲートにまず“2”状態と“4”状態の間の電圧（図5のV3）を印加することにより、メモリセルが“4”状態であるか否かが分る。これにより、メモリセルが“1”状態又は“2”状態にあるか、或いは“3”状態又は“4”状態

にあるかを判定する。“1”状態又は“2”状態にあると、例えばLowデータが外部に出力される。一方、メモリセルトランジスタが“3”状態又は“4”状態にあると、例えばHighデータが外部に出力される。

【0084】上記の実施形態では図3のように、第2の書き込み動作で書き込まれる“3”状態のしきい値レベルが、第1の書き込み動作で書き込まれる“2”状態のしきい値レベルより小さく設定されている。これは、3値セルと同様の書き込み動作が行なわれる第2の書き込み動作につき、2値セルと同様の書き込み動作が行なわれる第1の書き込み動作に比してしきい値変化量を小さくした方が、書き込みの高速化の点で有利となるからである。ただし、書き込みデータのしきい値レベルの設定の仕方はこれに限らず、大いに任意性を有する。例えば図6のように設定してもよい。

【0085】図6の実施形態では、“1”状態、“2”状態、“3”状態及び“4”状態のしきい値レベルが図74に示した従来の例と同様の大小関係を有しており、第2の書き込み動作で書き込まれる“3”状態のしきい値レベルが、第1の書き込み動作で書き込まれる“2”状態のしきい値レベルより大きく設定されている。しかしながら、ここでは図3と同様上位ページは“1”又は“2”であり、外部から入力した書き込みデータが図3と同様にしてメモリセルに書き込まれる。つまり、アドレスA₀がLowならばメモリセルMC1は“1”状態を保ち、アドレスA₀がHighならばメモリセルMC1は“2”状態に書き込まれる。一方、下位ページが書き込まれる前ではメモリセルMC1は“1”状態又は“2”状態であり、A₁₂₈がLowならばメモリセルMC1は“1”状態又は“2”状態を保つ。一方、A₁₂₈がHighならば、“1”状態又は“2”状態のメモリセルMC1はそれぞれ“3”状態、“4”状態に書き込まれる。

【0086】以上で説明したように、1つのメモリセルに蓄えられている多値データを複数のページに分けることにより、高速な書き込みが可能になる。例えば、1つのメモリセルに4値のデータを蓄える場合には、第1のページ及び第2のページとすればよい。1つのメモリセルに8値のデータを蓄える場合には、第1のページ、第2のページ、第3のページとすればよい。さらに、例えば1つのメモリセルに16値のデータを蓄える場合には、第1のページ、第2のページ、第3のページ、第4のページとすればよい。つまり、1つのメモリセルに2ⁿ（nは自然数）値のデータを蓄える場合には、第1、第2、…、第nのページとすればよい。

【0087】このように本実施形態によれば、1つのメモリセルに3値以上の値を記憶する多値半導体記憶装置において、1つのメモリセル内のデータを複数のページに分けて書き込むことにより、書き込みが高速化される。上記実施形態ではEEPROMについて説明した

が、本発明は多値記憶を行なうSRAM、DRAM、マスクROM等に対しても有効である。

【0088】以下ではブロック図を用いて、本実施形態をより詳細に説明する。多値半導体記憶装置のブロック図が図7である。メモリセルがマトリクス状に配置されて構成されるメモリセルアレイ1に対して、メモリセルを選択したり、制御ゲートに書き込み電圧及び読み出し電圧を印加する制御ゲート・選択ゲート駆動回路2が設けられる。制御ゲート・選択ゲート駆動回路2はアドレスバッファ5につながりアドレス信号を受ける。データ回路3は、書き込みデータを保持したり、メモリセルのデータを読み出しするための回路である。データ回路3はデータ入出力バッファ4につながり、アドレスバッファ5からのアドレス信号を受ける。データ入出力バッファ4は、チップ外部とのデータ入出力制御を行なう。

【0089】メモリセルの書き込み、読み出しを示したのが図8、図9である。少なくとも1つのメモリセルを含むメモリセルユニットはビット線を介してデータ回路に接続する。図中、ワード線WL1をゲート電極として共有するメモリセルはMC1、MC2、MC3、…、MC127、MC128である。

【0090】＜書き込み＞書き込みを説明する図が図8である。まず、アドレスA₀からA₁₂₇までに対応する1ページ目（上位ページ）の書き込みを説明する。A₀のデータが第1のデータ回路にラッチされ、A₁のデータが第2のデータ回路にラッチされる。同様に、A₁₂₆のデータが第127のデータ回路に、A₁₂₇のデータが第128のデータ回路にラッチされる。データ回路にラッチしたデータに従って、ワード線WL1を共有する、MC1、MC2、MC3、…、MC127、MC128に上位ページの書き込みが行なわれる。

【0091】次に、アドレスB₀からB₁₂₇までに対応する2ページ目（下位ページ）の書き込みを説明する。B₀のデータが第1のデータ回路にラッチされ、B₁のデータが第2のデータ回路にラッチされる。同様に、B₁₂₆のデータが第127のデータ回路に、B₁₂₇のデータが第128のデータ回路にラッチされる。アドレスB₀からB₁₂₇の下位ページの書き込みデータを第1のデータ回路から第128のデータ回路にラッチしている間に、メモリセルに書き込まれたアドレスA₀からA₁₂₇の上位ページのデータを第1のデータ回路から第128のデータ回路に読み出し、保持する。データ回路にラッチしたA₀からA₁₂₇の上位ページのデータ及びB₀からB₁₂₇の下位ページの書き込みデータに従って、ワード線WL1を共有する、MC1、MC2、MC3、…、MC127、MC128に下位ページ書き込みが行なわれる。

【0092】＜読み出し＞読み出しを説明する図が図9である。まず、アドレスA₀からA₁₂₇までに対応する

1 ページ目(上位ページ)の読み出しを説明する。メモリセルMC1から A_0 のデータが第1のデータ回路に読み出され、メモリセルMC2から A_1 のデータが第2のデータ回路に読み出される。同様に、メモリセルMC127から A_{126} のデータが第127のデータ回路に、メモリセルMC128から A_{127} のデータが第128のデータ回路にラッチされる。以上のように、ワード線WL1を共有する、MC1, MC2, MC3, ..., MC127, MC128の上位ページのデータがデータ回路に読み出される。

【0093】次にアドレス B_0 から B_{127} までに対応する2ページ目(下位ページ)の読み出しを説明する。メモリセルMC1から B_0 のデータが第1のデータ回路に読み出され、メモリセルMC2から B_1 のデータが第2のデータ回路に読み出される。同様に、メモリセルMC127から B_{126} のデータが第127のデータ回路に、メモリセルMC128から B_{127} のデータが第128のデータ回路に読み出される。以上のように、ワード線WL1を共有する、MC1, MC2, MC3, ..., MC127, MC128の下位ページのデータがデータ回路に読み出される。

【0094】メモリセルユニットは1個又は複数個のメモリセル、及び0個又は1個又は複数個の選択MOSトランジスタから構成されている。メモリセルユニットの例を幾つか図10に示した。図10(a)はいわゆるNAND型EEPROM又はNAND型マスクROM、図10(b)は図10(a)の選択MOSトランジスタのしきい値が異なる(E-type、I-type)場合である。図10(c)は選択MOSトランジスタを3個設けた場合のNAND型不揮発性メモリの一例、図10(d)は選択MOSトランジスタを4個設けた場合のNAND型不揮発性メモリの一例である(図中E-type 選択MOSトランジスタのしきい値は正、D-type 選択MOSトランジスタのしきい値は負である)。なお、NANDセルの構成は図74及び図75と、メモリセルアレイの構成は図76と同様である。

【0095】さらに、図11(a)はNOR型EEPROM又はNOR型マスクROMである。図11(b)(c)はNOR型不揮発性メモリに選択MOSトランジスタを1個或いは2個設けた場合の一例である。図12(a)はソース及びドレインを複数個のメモリセルで共有して、メモリセルが並列接続されたものである。図12(b)は複数個のメモリセルを並列接続したものに、選択MOSトランジスタを1個接続したもの(公知例 Onoda, H., et al., IEDM Tech. Dig, 1992, p. 599)である。図12(c)は複数個のメモリセルを並列接続したものに、選択MOSトランジスタを2個接続したもの(公知例 Kume, H., et al., IEDM Tech. Dig, 1992, p. 991, Hisamune, Y., et al., IEDM Tech. Dig, 1992, p. 19)である。図13は複数のメモリセルを並列に接続した別の例である

(公知例 Bergemont, A., et al., IEDM Tech. Dig, 1993, p. 15)。

【0096】[第2の実施形態] 4値NANDフラッシュメモリを例にとり、図面を参照して本実施形態を説明する。図7は、多値記憶式EEPROMの構成を示している。メモリセルがマトリクス状に配置されて構成されるメモリセルアレイ1に対して、メモリセルを選択したり、制御ゲートに書き込み電圧及び読み出し電圧を印加する制御ゲート・選択ゲート駆動回路2が設けられる。制御ゲート・選択ゲート駆動回路2はアドレスバッファ5につながりアドレス信号を受ける。データ回路3は、書き込みデータに保持したり、メモリセルのデータを読み出ししたりするための回路である。データ回路3はデータ入出力バッファ4に繋がり、アドレスバッファ5からのアドレス信号を受ける。データ入出力バッファ4は、EEPROM外部とのデータ入出力制御を行なう。

【0097】図14は、図7に見られるメモリセルアレイ1とデータ回路3を示している。メモリセルM1~M4が直列に接続されNAND型セルを構成している。その両端は、選択トランジスタS1, S2を介して、それぞれビット線BL、ソース線Vsに接続される。また、4本の制御ゲートCG1~CG4に繋がるメモリセル群でブロックを形成する。“ページ”、“ブロック”は制御ゲート・選択ゲート駆動回路2によって選択される。各ビット線BL0A~BLmAには、データ回路3-0~3-mが接続され、対応するメモリセルへの書き込みデータを一時的に記憶したりする。この実施形態はオープン・ビット線配置なのでデータ回路3-0~3-mにはビット線BL0B~BLmBも接続される。

【0098】図15は、メモリセルMに4つの書き込み状態を設けることによって4値記憶する場合の、メモリセルMのしきい値電圧と4つの書き込み状態(4レベルデータ“1”、“2”、“3”、“4”)の関係を示している。データ“1”の状態は消去後の状態と同じで、例えば負のしきい値を持つ。“2”状態は、例えば0.5Vから0.8Vの間のしきい値を持つ。“3”状態は、例えば1.5Vから1.8Vの間のしきい値を持つ。“4”状態は、例えば2.5Vから2.8Vの間のしきい値を持つ。

【0099】メモリセルMの制御ゲートCGに、読み出し電圧VCG3Rを印加して、メモリセルが“ON”か“OFF”かでメモリセルのデータが“1”、“2”のいずれかか“3”、“4”のいずれかを検出できる。続けて、読み出し電圧VCG4R, VCG2Rを印加することでメモリセルのデータが完全に検出される。読み出し電圧VCG2R, VCG3R, VCG4Rは例えばそれぞれ0V, 1V, 2Vとされる。電圧VCG2V, VCG3V, VCG4Vはベリファイ電圧と呼ばれ、データ書き込み時にはこれらベリファイ電圧を制御ゲートに印加してメモリセルMの状態を検出し、充分書き込みが行なわれたか否かをチェックする。

例えばそれぞれ0.5V, 1.5V, 2.5Vとされる。

【0100】図16はデータ回路を示している。データ回路は2つのラッチ回路(第1のラッチ回路及び第2のラッチ回路)を含む。書き込みの際には、2ビットの書き込みデータはこの2つのラッチ回路に蓄えられる。読み出しの際には、読み出した4値データはこの2つのラッチ回路に蓄えられ、その後IO1を介してチップ外部に出力される。本実施形態では1ページは256個のメモリセルで構成される。つまり、同じ制御ゲート、選択ゲートで同時に選択されるメモリセルの数は256個である。ここで、512ビットの2ページ分のデータを書き込み、そして読み出す場合を例にとって説明する。512ビットのデータは上位ページと、下位ページのデータから構成される。上位ページのデータはカラムアドレス $A_0, A_1, A_2, \dots, A_{254}, A_{255}$ に対応し、下位ページのデータはカラムアドレス $B_0, B_1, B_2, \dots, B_{254}, B_{255}$ に対応する。

【0101】<上位ページ($A_0, A_1, A_2, \dots, A_{254}, A_{255}$)の書き込み>まず、先頭アドレス A_0 の書き込みデータは第1のラッチ回路RT1-0に入力し、そして保持される。続いて、アドレス $A_1, A_2, \dots, A_{254}, A_{255}$ の書き込みデータは第1のラッチ回路RT1-1, RT1-2, ..., RT1-254, RT1-255に入力し、保持される。その後、データ回路内の第1のラッチ回路に保持された1ビットの書き込みデータに従ってメモリセルに書き込みが行われ、“1”状態又は“2”状態になる。もし、データが256ビットに満たない場合には、データ回路内の第1のラッチ回路には書き込みデータの入力されないものがある。この場合には、メモリセルの書き込み状態が、しきい値レベルが低い“1”状態になるように第1のラッチ回路に書き込みデータを設定すればよい。

【0102】<下位ページ($B_0, B_1, B_2, \dots, B_{254}, B_{255}$)の書き込み>まず、先頭アドレス B_0 の書き込みデータは第1のラッチ回路RT1-0に入力し、そして保持される。続いてアドレス $B_1, B_2, \dots, B_{254}, B_{255}$ の書き込みデータは第1のラッチ回路RT1-1, RT1-2, ..., RT1-254, RT1-255に入力し、保持される。外部から入力した書き込みデータを第1のラッチ回路にロードしている間に、メモリセルに既に書き込まれているアドレス $A_0, A_1, A_2, \dots, A_{254}, A_{255}$ の書き込みデータを読み出し、第2のラッチ回路RT2-0, RT2-1, ..., RT2-254, RT2-255に入力する。その後、データ回路内の2つのラッチ回路に保持された2ビットの書き込みデータに従ってメモリセルに書き込みが行われる。

【0103】すなわち、“1”又は“2”を保つか、或いは“1”から“3”又は“2”から“4”への書き込みが行われる。もし、データが512ビットに満たない

場合には、データ回路内のラッチ回路のうち、データが入力しないものがある。この場合には、メモリセルの書き込み状態が、しきい値レベルができるだけ低い

“1”状態又は“2”状態又は“3”状態になるように、データが入力しないラッチ回路のデータを設定すればよい。

【0104】<読み出し>読み出し手順を図17に示した。まず、読み出すメモリセルのワード線に“2”状態と“3”状態の間の電圧 V_{p1} を印加する。メモリセルが導通状態になればメモリセルが“1”又は“2”状態であり、メモリセルが非導通状態になればメモリセルは“3”又は“4”状態である。このようにしてカラムアドレス $B_0, B_1, B_2, \dots, B_{254}, B_{255}$ に相当する下位ページの読み出しデータを第2のラッチ回路に保持する。下位ページ(カラムアドレス $B_0, B_1, B_2, \dots, B_{254}, B_{255}$)を読み出す場合には、ここでデータをIO1を介してチップ外部に出力する。上位ページを読み出す場合には、更に読み出しを続行する。選択ワード線に V_{p2} を印加すると、メモリセルが“4”状態であるか、或いは“1”又は“2”又は“3”状態であるかが分る。読み出したデータは第1のラッチ回路に保持する。

【0105】最後に、選択ワード線に V_{p3} を印加すると、メモリセルが“1”状態であるか、或いは“2”又は“3”又は“4”状態であるかが分る。これにより、メモリセルに蓄えられたカラムアドレス $A_0, A_1, A_2, \dots, A_{254}, A_{255}$ に相当する読み出しデータを第1のラッチ回路に保持する。この後、第1のラッチ回路に保持されたカラムアドレス $A_0, A_1, A_2, \dots, A_{254}, A_{255}$ に相当するデータをチップ外部に出力する。

【0106】以下では、より詳細に動作を説明する。多値記憶式EEPROMの構成は、図7と同様である。NANDセルの構成は例えば図74及び図75と、メモリセルアレイの構成は図76と同様である。メモリセルの書き込み状態としきい値の関係は、図15と同様である。図18が、データ回路3の具体例である。

【0107】本実施形態は4値記憶を例に構成されている。 n チャネルMOSトランジスタ $Q_{n21}, Q_{n22}, Q_{n23}$ と p チャネルMOSトランジスタ Q_{p9}, Q_{p10}, Q_{p11} で構成されるフリップ・フロップFF1と n チャネルMOSトランジスタ $Q_{n29}, Q_{n30}, Q_{n31}$ と p チャネルMOSトランジスタ $Q_{p16}, Q_{p17}, Q_{p18}$ で構成されるFF2に、書き込み/読み出しデータをラッチする。また、これらはセンスアンプとしても動作する。

【0108】フリップ・フロップFF1, FF2は、「“1”書き込みをするか、“2”書き込みをするか、“3”書き込みをするか、“4”書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが「“1”の情報を保持しているか、“2”の情報を保持

しているか、“3”の情報を保持しているか、“4”の情報を保持しているか」を読み出しデータ情報としてセンスラッチする。

【0109】データ入出力線IOA, IOBとフリップ・フロップFF1は、nチャンネルMOSトランジスタQn28, Qn27を介して接続される。データ入出力線IOA, IOBとフリップ・フロップFF2は、nチャンネルMOSトランジスタQn35, Qn36を介して接続される。データ入出力線IOA, IOBは、図7中のデータ入出力バッファ4にも接続される。フリップ・フロップFF1に保持された読み出しデータはCENB1が活性化されることにより、IOA及びIOBに出力される。フリップ・フロップFF2に保持された読み出しデータはCENB2が活性化されることにより、IOA及びIOBに出力される。

【0110】nチャンネルMOSトランジスタQn26, Qn34は、それぞれフリップ・フロップFF1, FF2を信号ECH1, ECH2が“H”となってイコライズする。nチャンネルMOSトランジスタQn24, Qn32は、フリップ・フロップFF1, FF2とMOSキャパシタQd1の接続を制御する。nチャンネルMOSトランジスタQn25, Qn33は、フリップ・フロップFF1, FF2とMOSキャパシタQd2の接続を制御する。

【0111】pチャンネルMOSトランジスタQp12C, Qp13Cで構成される回路は、活性化信号VRFYBACによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。pチャンネルMOSトランジスタQp14C, Qp15Cで構成される回路は、活性化信号VRFYBBCによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。nチャンネルMOSトランジスタQn1C, Qn2Cで構成される回路は、活性化信号VRFYBA1Cによって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。nチャンネルMOSトランジスタQn3C, Qn4Cで構成される回路は、活性化信号VRFYBB1Cによって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。

【0112】MOSキャパシタQd1, Qd2は、ディプリション型nチャンネルMOSトランジスタで構成され、ビット線容量より充分小さくされる。nチャンネルMOSトランジスタQn37は、信号PREAによってMOSキャパシタQd1を電圧VAに充電する。nチャンネルMOSトランジスタQn38は、信号PREBによってMOSキャパシタQd2を電圧VBに充電する。nチャンネルMOSトランジスタQn39, Qn40は、信号BLCA, BLCBによって、データ回路3とビット線BLa, BLbの接続をそれぞれ制御する。nチャンネルMOSトランジスタQn37, Qn38で構成される回路はビット線電圧制御回路を兼ねる。

【0113】次に、このように構成されたEEPROMの動作を、タイミング図に従って説明する。以下では制御ゲートCG2Aが選択されている場合を示す。

＜上位ページの書き込み＞

(1) 上位ページのプログラム

書き込み動作前に、入力されたデータは、データ入出力バッファ4を経て、データ回路3に入力される。1ページの大きさが256ビットであり、データ回路は256個あるとすると、入力した上位ページの256ビットの書き込みデータは、カラム活性化信号CENB1が

“H”で、IOA, IOBを介してフリップ・フロップFF1に入力する。書き込みデータとFF1のノードN3C, N4Cの関係が図19である。入力データがHighの場合には“1”状態を保ち、入力データがLowの場合には“2”状態に書き込まれる。

【0114】書き込み動作は図20に示されている。時刻t1sにVRFYBACが0Vになり、データ“1”が保持されているデータ回路からはビット線書き込み制御電圧Vccがビット線に出力される。その後、時刻t2sにRV1AがVccになることにより、データ“2”が保持されているデータ回路からは0Vがビット線に出力される。その結果、“1”書き込みするビット線はVcc、“2”書き込みするビット線は0Vになる。

【0115】時刻t1sに制御ゲート・選択ゲート駆動回路2によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A～CG4AがVccになる。選択ゲートSG2Aは0Vである。次に、時刻t3sに、選択された制御ゲートCG2Aが高電圧Vpp（例えば20V）、非選択制御ゲートCG1A, CG3A, CG4AがVM（例えば10V）となる。データ“2”が保持されているデータ回路に対応するメモリセルでは、0Vのチャネル電位と制御ゲートのVppの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“1”が保持されているデータ回路に対応するメモリセルでは、選択ゲートSG1Aが“OFF”になるのでメモリセルのチャネルはフローティングになる。その結果、メモリセルのチャネルは制御ゲートとの間の容量結合により、8V程度になる。データ“1”を書き込むメモリセルではチャネルが8V、制御ゲートが20Vなので、メモリセルへの電子の注入は行なわれず、消去状態（“1”）を保つ。書き込み動作中、信号SAN1, SAN2, PREB, BLCBは“H”、信号SAP1, SAP2, VRFYBA1C, RV1B, RV2B, ECH1, ECH2は“L”、電圧VBは0Vである。

【0116】(2) 上位ページのベリファイリード

書き込み動作後、書き込みが充分に行なわれたかを検出する（書き込みベリファイ）。もし、所望のしきい値に達していれば、データ回路のデータを“1”に変更する。もし、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行なう。書

き込み動作と書き込みベリファイは全ての“2”書き込みするメモリセルが所望のしきい値に達するまで繰り返される。図18及び図21を用いて、この書き込みベリファイ動作を説明する。まず、時刻 t_{1yc} に、電圧 V_A 、 V_B がそれぞれ1.8V、1.5Vとなって、ビット線 BL_a 、 BL_b はそれぞれ1.8V、1.5Vになる。信号 $BLCA$ 、 $BLCB$ が“L”となって、ビット線 BL_a とMOSキャパシタ $Qd1$ 、ビット線 BL_b とMOSキャパシタ $Qd2$ は切り離され、ビット線 BL_a 、 BL_b はフローティングとなる。信号 $PREA$ 、 $PREB$ が“L”となって、MOSキャパシタ $Qd1$ 、 $Qd2$ のゲート電極であるノード $N1$ 、 $N2$ はフローティング状態になる。

【0117】続いて、時刻 t_{2yc} に、制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲート $CG2A$ は0.5V、非選択制御ゲート $CG1A$ 、 $CG3A$ 、 $CG4A$ と選択ゲート $SG1A$ 、 $SG2A$ は V_{cc} にされる。選択されたメモリセルのしきい値が0.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0.5V以上なら、ビット線電圧は1.8Vのままとなる。時刻 t_{3yc} に、信号 $BLCA$ 、 $BLCB$ が“H”とされ、ビット線の電位が $N1$ 、 $N2$ に転送される。その後、信号 $BLCA$ 、 $BLCB$ が“L”となって、ビット線 BL_a とMOSキャパシタ $Qd1$ 、ビット線 BL_b とMOSキャパシタ $Qd2$ は切り離される。

【0118】この後、時刻 t_{4yc} に $VRIFYBAC$ が“L”となると、“1”書き込みデータが保持されているデータ回路では、pチャネルMOSトランジスタ $Qp12C$ が“ON”であり、ノード $N1$ は V_{cc} となる。その結果、ノード $N1$ は“1”書き込みの場合には V_{cc} になる。“2”書き込みの場合には、pチャネルMOSトランジスタ $Qp12C$ が“OFF”する。つまり、“2”書き込みが充分に行なわれた場合には、 $N1$ は V_{cc} になり、“2”書き込みが不十分の場合には、 $N1$ は0Vになる。その後、信号 $SAN1$ 、 $SAP1$ がそれぞれ“L”、“H”となってフリップ・フロップ $FF1$ が非活性化され、信号 $ECH1$ が“H”となってイコライズされる。

【0119】この後、信号 $RV1A$ 、 $RV1B$ が“H”となる。再度、信号 $SAN1$ 、 $SAP1$ がそれぞれ“H”、“L”となることで、時刻 t_{5yc} にノード $N1$ の電圧がセンスされラッチされる。これで、“2”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが充分“2”書き込み状態となったか否かを検出する。メモリセルのデータが“2”であれば、フリップ・フロップ $FF1$ でノード $N1$ の電圧をセンスしラッチすることで書き込みデータは“1”に変更される。メモリセルのデータが“2”でなければ、フリップ・フロップ $FF1$ でノード $N1$ の電圧をセンスしラ

ッチすることで書き込みデータは“2”に保持される。“1”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0120】全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のノード $N4C$ が“L”になる。これを検出することにより、全ての選択されたメモリセルが所望のしきい値に達したか否かが分る。書き込み終了の検出は、例えば図18のように書き込み終了一括検知トランジスタ $Qn5C$ を用いればよい。ベリファイリード後、まず $VRTC$ を例えば V_{cc} にプリチャージする。書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノード $N4C$ は“H”なのでnチャネルMOSトランジスタ $Qn5C$ は“ON”し、 $VRTC$ はプリチャージ電位から低下する。全てのメモリセルが充分に書き込まれると、データ回路3-0、3-1、…、3-m-1、3-mのノード $N4C$ が全て“L”になる。その結果、全てのデータ回路内のnチャネルMOSトランジスタ $Qn5C$ が“OFF”になるので $VRTC$ はプリチャージ電位を保ち、書き込み終了が検知される。

【0121】<下位ページの書き込み>

(1) 上位データの読み出しとデータ反転、及びデータロード

下位ページを書き込むに先だって、メモリセルには上位ページのデータが書き込まれ、図22(a)のように、“1”状態又は“2”状態になっている。下位ページのデータを外部から IOA 、 IOB を通じてフリップ・フロップ $FF1$ に入力すると同時に、メモリセルに蓄えられた上位ページのデータを読み出してフリップ・フロップ $FF2$ に保持する。図22、図23を用いてメモリセルに書き込まれた上位ページのデータの読み出しを説明する。

【0122】まず時刻 t_{1yd} に、電圧 V_A 、 V_B がそれぞれ1.8V、1.5Vとなって、ビット線 BL_a 、 BL_b はそれぞれ1.8V、1.5Vになる。信号 $BLCA$ 、 $BLCB$ が“L”となって、ビット線 BL_a とMOSキャパシタ $Qd1$ 、ビット線 BL_b とMOSキャパシタ $Qd2$ は切り離され、ビット線 BL_a 、 BL_b はフローティングとなる。信号 $PREA$ 、 $PREB$ が“L”となって、MOSキャパシタ $Qd1$ 、 $Qd2$ のゲート電極であるノード $N1$ 、 $N2$ はフローティング状態になる。

【0123】続いて時刻 t_{2yd} に、制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲート $CG2A$ は0V、非選択制御ゲート $CG1A$ 、 $CG3A$ 、 $CG4A$ と選択ゲート $SG1A$ 、 $SG2A$ は V_{cc} にされる。選択されたメモリセルのしきい値が0V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0V以上なら、ビット線電圧は1.8Vのままとなる。時刻 t_{3yd} に、信号 $BLCA$ 、 $BLCB$ が“H”とされ、ビット線の電位が $N1$ 、 $N2$ に転送される。その後、信号 $BLCA$ 、 BL

CBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。その後、信号SAN2, SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A, RV2Bが“H”となる。再度、信号SAN2, SAP2がそれぞれ“H”、“L”となることで、時刻t4ydにノードN1の電圧がセンスされラッチされる。この時のフリップ・フロップFF2のノードN5C, N6Cは図22(b)になる。

【0124】この後に読み出したデータを反転する。例えば“1”を読み出した場合、図22(b)のようにN5Cは“L”であるが、データ反転動作によって“H”にする。時刻t5ydに、信号PREA, PREBが“H”となって、MOSキャパシタQd1, Qd2のゲート電極であるノードN1, N2は1.8V, 1.5Vにプリチャージされ、その後、フローティング状態になる。続いて時刻t6ydにVRFYBA1Cが“H”となると、“2”書き込みデータが保持されているデータ回路では、nチャネルMOSトランジスタQn2Cが“ON”であり、ノードN1は0Vとなる。“1”書き込みの場合には、nチャネルMOSトランジスタQn2Cが“OFF”し、ノードN1は1.8Vを保つ。

【0125】その後、信号SAN2, SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A, RV2Bが“H”となる。再度、信号SAN2, SAP2がそれぞれ“H”、“L”となることで、時刻t7ydにノードN1の電圧がセンスされラッチされる。以上のデータ反転動作の結果、フリップ・フロップFF2のノードは図22(c)のようになる。

【0126】外部からフリップ・フロップFF1に入力した下位ページの書き込みデータは図24の通りである。下位ページの入力データが“H”ならば書き込みは行なわれず、メモリセルは“1”又は“2”状態を保つ。一方、下位ページの入力データが“L”ならば書き込みが行なわれ、“1”状態のメモリセルは“3”状態に、“2”状態のメモリセルは“4”状態に書き込まれる。以上をまとめると、下位ページ書き込み時のフリップ・フロップのノードN3C, N4C, N5C, N6Cのデータは図25のようになる。

【0127】(2)下位ページのプログラム
書き込み動作は図26に示されている。時刻t1pに電圧VAがビット線書き込み制御電圧1Vとなってビット線BLaが1Vとされる。nチャネルMOSトランジスタQn39のしきい値分の電圧降下が問題になるときは、信号BLCAを昇圧すればよい。続いて、信号PREAが“L”となってビット線がフローティングにされる。

次に、時刻t2pに信号RV2Aが1.5Vとされる。これによって、データ“2”又は“4”が保持されているデータ回路からはビット線制御電圧0Vがビット線に印加される。

【0128】nチャネルMOSトランジスタQn32のしきい値を1Vとすると、“1”又は“3”書き込み時にはnチャネルMOSトランジスタQn32は“OFF”、“2”又は“4”書き込み時には“ON”となる。その後、時刻t3pにVRFYBACが0Vになり、データ“1”又はデータ“2”が保持されているデータ回路からはビット線書き込み制御電圧Vccがビット線に出力される。その結果、“1”書き込み又は“2”書き込みするビット線はVcc、“3”書き込みするビット線は1V、“4”書き込みするビット線は0Vになる。

【0129】時刻t1pに制御ゲート・選択ゲート駆動回路2によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A～CG4AがVccとなる。選択ゲートSG2Aは0Vである。時刻t4pに選択された制御ゲートCG2Aが高電圧Vpp(例えば20V)、非選択制御ゲートCG1A, CG3A, CG4AがVM(例えば10V)となる。データ“4”が保持されているデータ回路に対応するメモリセルでは、0Vのチャネル電位と制御ゲートのVppの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“3”が保持されているデータ回路に対応するメモリセルでは、1Vのチャネル電位と制御ゲートのVppの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。

【0130】“3”書き込みの場合のチャネル電位を1Vにしているのは、電子の注入量を“4”データ書き込みの場合よりも、少なくするためである。データ“1”又は“2”が保持されているデータ回路に対応するメモリセルでは、チャネル電位と制御ゲートのVppの電位差が小さいため、実効的には浮遊ゲートに電子は注入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号SAN1, SAN2, PREB, BLCAは“H”、信号SAP1, SAP2, VRFYBA1C, RV1A, RV1B, RV2B, ECH1, ECH2は“L”、電圧VBは0Vである。書き込み方は任意性を有する。例えば図27のようにnチャネルトランジスタQn2C, Qn4Cが接続するノードを図18のように接地電位ではなく、固定電位Vrefにして、図28のようなタイミングで動作させてもよい。図28ではビット線を0Vに接地した後にフローティングにし、その後VRFYBA1CをVccにすることにより、“1”又は“3”書き込みのビット線を1Vにする。その後、VRFYBACを0Vにすることにより、“1”又は“2”書き込みのビット線をVccにする。その結果、“4”書き込みのビット線は0V、“3”書き込みのビット線は1V、“1”又は“2”書き込みのビット線はVccになる。

【0131】(3) 下位ページのベリファイリード書き込み動作後、書き込みが充分に行なわれたかを検出する(書き込みベリファイ)。もし、所望のしきい値に達していれば、フリップ・フロップFF1のノードN3Cを“H”に変更する。そして、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行なう。書き込み動作と書き込みベリファイは全ての“3”書き込みするメモリセル及び“4”書き込みするメモリセルが所望のしきい値に達するまで繰り返される。

【0132】図18及び図29を用いて、この書き込みベリファイ動作を説明する。まず、“3”書き込みするメモリセルが所定のしきい値に達しているかを検出する。まず時刻 t_{1yx} に、電圧VA, VBがそれぞれ1.8V, 1.5Vとなって、ビット線BLa, BLbはそれぞれ1.8V, 1.5Vになる。信号BLCA, BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa, BLbはフローティングとなる。信号PREA, PREBが“L”となって、MOSキャパシタQd1, Qd2のゲート電極であるノードN1, N2はフローティング状態になる。続いて制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲートCG2Aは1.5V、非選択制御ゲートCG1A, CG3A, CG4Aと選択ゲートSG1A, SG2AはVccにされる。選択されたメモリセルのしきい値が1.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1.5V以上なら、ビット線電圧は1.8Vのままとなる。

【0133】時刻 t_{2yx} に、信号BLCA, BLCBが“H”とされ、ビット線の電位がN1, N2に転送される。その後、信号BLCA, BLCBが“L”となつて、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後時刻 t_{3yx} にRV2Aが1.5Vになり、“2”書き込みの場合及び“4”書き込みの場合には、ノードN1が0Vに放電される。時刻 t_{4yx} に信号VRFYBACが“L”となると、“1”又は“2”書き込みデータが保持されているデータ回路では、pチャネルMOSトランジスタQp12Cが“ON”であり、ノードN1はVccとなる。その結果、ノードN1は“1”書き込み又は“2”書き込みの場合にはVcc、“4”書き込みの場合には0Vになる。

【0134】信号SAN1, SAP1がそれぞれ“L”, “H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A, RV1Bが“H”となる。再度、信号SAN1, SAP1がそれぞれ“H”, “L”となることで、時刻 t_{5yx} にノードN1の電圧が

センスされラッチされる。これで、“3”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが充分“3”書き込み状態となったか否かを検出する。メモリセルのデータが“3”であれば、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“1”に変更される。メモリセルのデータが“3”でなければ、フリップ・フロップFF1でノードN2の電圧をセンスしラッチすることで書き込みデータは“3”に保持され以後、追加書き込みが行なわれる。“1”又は“2”又は“4”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0135】次に、選択された制御ゲートが2.5Vにされる。選択されたメモリセルのしきい値が2.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2.5V以上なら、ビット線電圧は1.8Vのままとなる。時刻 t_{6yx} にPREA, PREBがVccになりノードN1, N2が1.8V, 1.5Vになった後、フローティングになる。この後時刻 t_{7yx} に、信号BLCA, BLCBが“H”とされ、ビット線の電位がN1, N2に転送される。その後、信号BLCA, BLCBが“L”となつて、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。時刻 t_{8yx} に信号VRFYBACが“L”となると、“1”又は“2”書き込みデータが保持されているデータ回路及び、“3”書き込みが充分に行なわれたために“1”書き込みデータが保持されているデータ回路では、pチャネルMOSトランジスタQp12Cが“ON”であり、ノードN1はVccとなる。

【0136】信号SAN1, SAP1がそれぞれ“L”, “H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A, RV1Bが“H”となる。再度、信号SAN1, SAP1がそれぞれ“H”, “L”となることで、時刻 t_{9yx} にノードN1の電圧がセンスされラッチされる。これで、“4”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが充分“4”書き込み状態となったか否かを検出する。メモリセルのデータが“4”であれば、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“2”に変更され、以後は書き込まれなくなる。メモリセルのデータが“4”でなければ、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“4”に保持され以後、追加書き込みが行なわれる。“1”又は“2”又は“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0137】全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のノードN4Cが

“L”になる。これを検出することにより、全ての選択されたメモリセルが所望のしきい値に達したか否かが分る。書き込み終了の検出は、例えば図18のように書き込み終了一括検知トランジスタQn5Cを用いればよい。ベリファイリード後、まずVRTCを例えばVccにプリチャージする。書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN4Cは“H”なのでnチャネルMOSトランジスタQn5Cは“ON”し、VRTCはプリチャージ電位から低下する。全てのメモリセルが充分に書き込まれると、データ回路3-0, 3-1, …, 3-m-1, 3-mのノードN4Cが全て“L”になる。その結果、全てのデータ回路内のnチャネルMOSトランジスタQn5Cが“OFF”になるのでVRTCはプリチャージ電位を保ち、書き込み終了が検知される。

【0138】<上位ページの読み出し動作>上位ページの読み出しは「“1”又は“3”か、或いは“2”又は“4”か」が読み出される。図30、図31に従って、読み出し動作を説明する。まず時刻t1RDに、電圧VA, VBがそれぞれ1.8V, 1.5Vとなって、ビット線BLa, BLbはそれぞれ1.8V, 1.5Vになる。信号BLCA, BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa, BLbはフローティングとなる。信号PREA, PREBが“L”となって、MOSキャパシタQd1, Qd2のゲート電極であるノードN1, N2はフローティング状態になる。続いて、制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲートCG2Aは1V、非選択制御ゲートCG1A, CG3A, CG4Aと選択ゲートSG1A, SG2AはVccにされる。選択されたメモリセルのしきい値が1V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1V以上なら、ビット線電圧は1.8Vのままとなる。

【0139】この後、時刻t2RDに信号BLCA, BLCBが“H”となりビット線のデータがMOSキャパシタQd1, Qd2に転送される。その後、再度、信号BLCA, BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN2, SAP2がそれぞれ“L”, “H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A, RV2Bが“H”となる。時刻t3RDに再度、信号SAN2, SAP2がそれぞれ“H”, “L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“1”又は“2”か、或いは“3”又は“4”か」がフリップ・フロップFF2によってセンスされ、その情報はラッチされる。この時のフリップ・フロップFF2のノードN5C, N6Cは図32のようになる。

【0140】次に、選択された制御ゲートが2Vにされる。選択されたメモリセルのしきい値が2V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2V以上なら、ビット線電圧は1.8Vのままとなる。時刻t4RDに信号PREA, PREBが“H”となって、MOSキャパシタQd1, Qd2のゲート電極であるノードN1, N2はそれぞれ1.8V, 1.5Vになる。信号PREA, PREBが“L”となって、MOSキャパシタQd1, Qd2のゲート電極であるノードN1, N2はフローティング状態になる。この後、時刻t5RDに信号BLCA, BLCBが“H”とされる。再度、信号BLCA, BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN1, SAP1がそれぞれ“L”, “H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A, RV1Bが“H”となる。時刻t6RDに再度、信号SAN1, SAP1がそれぞれ“H”, “L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“1”又は“2”又は“3”か、或いは“4”か」がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。この時のフリップ・フロップFF1, FF2のノードN3C, N5Cの電位は図33のようになる。

【0141】引き続き、図31のように読み出しが行なわれる。まず時刻t7RDに、電圧VA, VBがそれぞれ1.8V, 1.5Vとなって、ビット線BLa, BLbはそれぞれ1.8V, 1.5Vになる。信号BLCA, BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa, BLbはフローティングとなる。信号PREA, PREBが“L”となって、MOSキャパシタQd1, Qd2のゲート電極であるノードN1, N2はフローティング状態になる。続いて、制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲートCG2Aは0V、非選択制御ゲートCG1A, CG3A, CG4Aと選択ゲートSG1A, SG2AはVccにされる。選択されたメモリセルのしきい値が0V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0V以上なら、ビット線電圧は1.8Vのままとなる。この後、時刻t8RDに信号BLCA, BLCBが“H”となりビット線のデータがMOSキャパシタQd1, Qd2に転送される。その後、再度、信号BLCA, BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。続いて、時刻t9RDにVRFYBA1Cが“H”になる。この時、フリップ・フロップFF2のノードN5Cが“H”なのは図33から分るように、“3”又は

“4”読み出しの場合である。この場合、図18のnチャネルMOSトランジスタQn2Cが“ON”し、“3”又は“4”読み出しのノードN1は接地される。

【0142】続いて、時刻t10RDにVRFYBACが“L”になる。この時、フリップ・フロップFF1のノードN3Cが“H”、N4Cが“L”なのは図33から分るように、“3”読み出しの場合である。この場合、図18のpチャネルMOSトランジスタQp12Cが“ON”し、“4”読み出しのノードN1はVccになる。その後、信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。時刻t11RDに再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、ノードN3C、N4Cの電位がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。この時のフリップ・フロップFF1及びフリップ・フロップFF2のノードN3C、N4C、N5C、N6Cは図34のようになる。

【0143】上位ページのデータはフリップ・フロップFF1のノードN3C、N4C(図34参照)に読み出されている。つまり、“1”状態及び“3”状態ではノードN3Cが“L”、N4Cが“H”になり、“2”状態及び“4”状態ではノードN3Cが“H”、N4Cが“L”になる。＜上位ページの書き込み＞で記したように上位ページのデータは「“1”又は“3”か、或いは“2”又は“4”か」を蓄えているが、この書き込みデータがフリップ・フロップFF1に正しく読み出されていることが分る。フリップ・フロップFF1に保持されたデータはCENB1が活性化されることにより、チップ外部に出力される。

【0144】＜下位ページの読み出し動作＞下位ページの読み出しでは「“1”又は“2”か、或いは“3”又は“4”か」が読み出される。図30に従って、読み出し動作を説明する。まず時刻t1RDに、電圧VA、VBがそれぞれ1.8V、1.5Vとなって、ビット線BLa、BLbはそれぞれ1.8V、1.5Vになる。信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa、BLbはフローティングとなる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。

【0145】続いて、制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲートCG2Aは1V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVccにされる。選択されたメモリセルのしきい値が1V以下なら、ビット線電圧は1.5Vより低くなる。選択された

メモリセルのしきい値が1V以上なら、ビット線電圧は1.8Vのままとなる。この後、時刻t2RDに信号BLCA、BLCBが“H”となりビット線のデータがMOSキャパシタQd1、Qd2に転送される。その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。時刻t3RDに再度、信号SAN2、SAP2がそれぞれ“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“1”又は“2”か、或いは“3”又は“4”か」がフリップ・フロップFF2によってセンスされ、その情報はラッチされる。この時のフリップ・フロップFF2のノードN5C、N6Cは図32のようになる。

【0146】下位ページのデータはフリップ・フロップFF2のノードN5C、N6C(図32参照)に読み出されている。つまり、“1”状態及び“2”状態ではノードN5Cが“L”、N6Cが“H”になり、“3”状態及び“4”状態ではノードN5Cが“H”、N6Cが“L”になる。＜下位ページの書き込み＞で記したように下位ページのデータは「“1”又は“2”か、或いは“3”又は“4”か」を蓄えているが、この書き込みデータがフリップ・フロップFF2に正しく読み出されていることが分る。フリップ・フロップFF2に保持されたデータはCENB2が活性化されることにより、チップ外部に出力される。

【0147】上記の説明から分るように、下位ページの読み出しは上位ページの読み出しの時刻t3RDまでの動作である。従って、例えば下位ページに引き続いて上位ページを読み出す場合には、まず下位ページを読み出した後に、下位ページのデータをチップ外部に出力している間に、引き続き、上位ページのデータを読み出してもよい。つまり、時刻t3RDに下位ページのデータがフリップ・フロップFF2にラッチされ、チップ外部に出力されるのと同時に、＜上位ページの読み出し＞で記した図30及び図31の時刻t3RD以降の動作を行なう。これにより、見かけ上、上位ページの読み出しを高速に行なうことができる。

【0148】〔第3の実施形態〕第2の実施形態では下位ページの書き込みに先だって、上位ページの読み出し及び、データ反転動作を行なっている。下位ページの書き込み前のデータ反転動作を行なわなくても下位ページの書き込みを行なうことができる。以下ではこの下位ページの書き込み方法について説明する。本実施形態のデータ回路は先の実施形態と同様に、図18である。上位ページの書き込みは実施形態2と同様である。

【0149】(1) 下位ページ書き込み前の上位ページの読み出し

下位ページを書き込むに先だって、メモリセルには上位ページのデータが書き込まれ、図22(a)のように、“1”状態又は“2”状態になっている。下位ページのデータを外部からIOA、IOBを通じてフリップ・フロップFF1に入力すると同時に、メモリセルに蓄えられた上位ページのデータを読み出してフリップ・フロップFF2に保持する。上位ページの読み出し動作は第2の実施形態とはほぼ同様であり、図23の通りである。ただし、データ反転は行なわないので、時刻 t_{4yd} にセンスした時点で終了する。その結果、下位ページの書き込みデータは図25ではなく、図35のようになる。データ反転動作を行なわないので、図25と比較すると、N5C及びN6Cのロジックが逆転している。

【0150】(2) 下位ページのプログラム

書き込み動作は図36に示されている。時刻 t_{1pq} に電圧VAがビット線書き込み制御電圧1Vとなってビット線BLaが1Vとされる。nチャネルMOSトランジスタQn39のしきい値分の電圧降下が問題になるときは、信号BLCAを昇圧すればよい。続いて、信号PREAが“L”となってビット線がフローティングにされる。次に、時刻 t_{2pq} に信号VRFYBA1CがVccとされる。これによって、データ“2”又は“4”が保持されている場合には、nチャネルMOSトランジスタQn2Cが“ON”するので、ビット線制御電圧0Vがビット線に印加される。図36のようにVRFYBA1CをVcc以上にしてもよい。その後、時刻 t_{3pq} にVRFYBACが0Vになり、データ“1”又はデータ“2”が保持されているデータ回路からはビット線書き込み制御電圧Vccがビット線に出力される。その結果、“1”書き込み又は“2”書き込みするビット線はVcc、“3”書き込みするビット線は1V、“4”書き込みするビット線は0Vになる。

【0151】時刻 t_{1pq} に制御ゲート・選択ゲート駆動回路2によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A～CG4AがVccとなる。選択ゲートSG2Aは0Vである。次に、時刻 t_{4pq} に選択された制御ゲートCG2Aが高電圧Vpp(例えば20V)、非選択制御ゲートCG1A、CG3A、CG4AがVM(例えば10V)となる。データ“4”が保持されているデータ回路に対応するメモリセルでは、0Vのチャネル電位と制御ゲートのVppの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“3”が保持されているデータ回路に対応するメモリセルでは、1Vのチャネル電位と制御ゲートのVppの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。

【0152】“3”書き込みの場合のチャネル電位を1Vにしているのは、電子の注入量を“4”データ書き込

みの場合よりも、少なくするためである。データ“1”又は“2”が保持されているデータ回路に対応するメモリセルでは、チャネル電位と制御ゲートのVppの電位差が小さいため、実効的には浮遊ゲートに電子は注入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号SAN1、SAN2、PREB、BLCBは“H”、信号SAP1、SAP2、RV1A、RV1B、RV2B、ECH1、ECH2は“L”、電圧VBは0Vである。

【0153】(3) 下位ページのベリファイリード
書き込み動作後、書き込みが充分に行なわれたかを検出する(書き込みベリファイ)。もし、所望のしきい値に達していれば、フリップ・フロップFF1のノードN3Cを“H”に変更する。もし、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行なう。書き込み動作と書き込みベリファイは、全ての“3”書き込みするメモリセル及び“4”書き込みするメモリセルが所望のしきい値に達するまで繰り返される。

【0154】図18及び図37を用いて、この書き込みベリファイ動作を説明する。まず、“3”書き込みするメモリセルが所定のしきい値に達しているかを検出する。まず時刻 t_{1ys} に、電圧VA、VBがそれぞれ1.8V、1.5Vとなって、ビット線BLa、BLbはそれぞれ1.8V、1.5Vになる。信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa、BLbはフローティングとなる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。続いて制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲートCG2Aは1.5V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVccにされる。選択されたメモリセルのしきい値が1.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1.5V以上なら、ビット線電圧は1.8Vのままとなる。時刻 t_{2ys} に、信号BLCA、BLCBが“H”とされ、ビット線の電位がN1、N2に転送される。その後、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後時刻 t_{3ys} にVRFYBA1CがVccになり、“2”書き込みの場合及び“4”書き込みの場合にはQn2Cが“ON”し、ノードN1が0Vに放電される。時刻 t_{4ys} に信号VRFYBACが“L”となると、“1”又は“2”書き込みデータが保持されているデータ回路では、pチャネルMOSトランジスタQp12Cが“ON”であり、ノードN1はVccとなる。その結果、ノードN1は“1”書

き込み又は“2”書き込みの場合には V_{cc} ，“4”書き込みの場合には0Vになる。

【0155】信号SAN1，SAP1がそれぞれ“L”，“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A，RV1Bが“H”となる。再度、信号SAN1，SAP1がそれぞれ“H”，“L”となることで、時刻 t_{5ys} にノードN1の電圧がセンスされラッチされる。これで、“3”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが充分“3”書き込み状態となったか否かを検出する。メモリセルのデータが“3”であれば、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“1”に変更される。メモリセルのデータが“3”でなければ、フリップ・フロップFF1でノードN2の電圧をセンスしラッチすることで書き込みデータは“3”に保持され以後、追加書き込みが行なわれる。“1”又は“2”又は“4”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0156】次に、選択された制御ゲートが2.5Vにされる。選択されたメモリセルのしきい値が2.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2.5V以上なら、ビット線電圧は1.8Vのままとする。時刻 t_{6ys} にPREA，PREBが V_{cc} になりノードN1，N2が1.8V，1.5Vになった後、フローティングになる。この後時刻 t_{7ys} に、信号BLCA，BLCBが“H”とされ、ビット線の電位がN1，N2に転送される。その後、信号BLCA，BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。時刻 t_{8ys} に信号VRFYBACが“L”となると、“1”又は“2”書き込みデータが保持されているデータ回路及び、“3”書き込みが充分に行なわれたために“1”書き込みデータが保持されているデータ回路では、pチャネルMOSトランジスタQp12Cが“ON”であり、ノードN1は V_{cc} となる。

【0157】信号SAN1，SAP1がそれぞれ“L”，“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A，RV1Bが“H”となる。再度、信号SAN1，SAP1がそれぞれ“H”，“L”となることで、時刻 t_{9ys} にノードN1の電圧がセンスされラッチされる。これで、“4”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが充分“4”書き込み状態となったか否かを検出する。メモリセルのデータが“4”であれば、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“2”に変更され、以後

は書き込まれなくなる。メモリセルのデータが“4”でなければ、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“4”に保持され以後、追加書き込みが行なわれる。“1”又は“2”又は“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0158】全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のノードN4Cが“L”になる。これを検出することにより、全ての選択されたメモリセルが所望のしきい値に達したか否かが分る。書き込み終了の検出は、例えば図18のように書き込み終了一括検知トランジスタQn5Cを用いればよい。ベリファイリード後、まずVRTCを例えば V_{cc} にプリチャージする。書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN4Cは“H”なのでnチャネルMOSトランジスタQn5Cは“ON”し、VRTCはプリチャージ電位から低下する。全てのメモリセルが充分に書き込まれると、データ回路3-0，3-1，…，3-m1，3-mのノードN4Cが全て“L”になる。その結果、全てのデータ回路内のnチャネルMOSトランジスタQn5Cが“OFF”になるのでVRTCはプリチャージ電位を保ち、書き込み終了が検知される。

【0159】〔第4の実施形態〕第2及び第3の実施形態では図6のように、消去状態“1”のメモリセルに対し外部から入力する書き込みデータを基に書き込みを行なう際、上位ページの書き込み動作で書き込まれる“2”状態のしきい値分布よりも、下位ページの書き込み動作で書き込まれる“3”状態のしきい値分布が高いしきい値レベルを有する。本実施形態では図3のように、上位ページの書き込み動作で書き込まれる“2”状態のしきい値分布が逆に、下位ページの書き込み動作で書き込まれる“3”状態のしきい値分布よりも高いしきい値レベルを有することを特徴とする。本実施形態のデータ回路は図18である。以下では、書き込み、読み出し動作について説明する。

【0160】＜上位ページのプログラム及びベリファイリード＞上位ページの書き込み動作は第2の実施形態とほぼ同様である。書き込みデータは図38であり、書き込みのタイミングは図20、ベリファイリードの動作タイミングは図39である。第2の実施形態と異なるのはベリファイリード時の選択した制御ゲート電圧（図39）である。本実施形態では、書き込みを行なうメモリセルは1.5Vから1.8Vの間のしきい値を持つ“2”状態に書き込みを行なうので、選択メモリセルのベリファイ電圧（図39のCG2A）は1.5Vである。その結果、“2”書き込みを行なうメモリセルはしきい値が1.5Vになるまで書き込みが行なわれる。

【0161】＜下位ページの書き込み＞

（1）上位データの読み出しとデータ反転、及びデータロード

上位データの読み出し及びデータ反転も第2の実施形態（図23）とほぼ同様に行なわれる。ただし、第2の実施形態では読み出し時の選択した制御ゲート電圧（図23のCG2A）は0Vであるが、本実施形態では“2”状態及び“3”状態のしきい値レベルが異なることに起因して、0Vではなく1Vである。

【0162】（2）プログラム

下位ページのプログラムデータは図40である。入力データが“H”の場合には、“1”又は“2”状態を保つ。入力データが“L”の場合には、“1”状態は“3”状態に書き込まれ、“2”状態は“4”状態に書き込まれる。下位ページ書き込み時のデータ回路のノードを図41にまとめる。書き込み動作のタイミング図が図42である。時刻 t_{1ps} に電圧VAがビット線書き込み制御電圧2Vとなってビット線BLaが2Vとされる。nチャネルMOSトランジスタQn39のしきい値分の電圧降下が問題になるときは、信号BLCAを昇圧すればよい。続いて、信号PREAが“L”となってビット線がフローティングにされる。次に、時刻 t_{2ps} に信号RV2Aが1.5Vとされる。これによって、データ“2”又は“4”が保持されているデータ回路からはビット線制御電圧0Vがビット線に印加される。nチャネルMOSトランジスタQn32のしきい値を1Vとすると、“1”又は“3”書き込み時にはnチャネルMOSトランジスタQn32は“OFF”、“2”又は“4”書き込み時には“ON”となる。その後、時刻 t_{3ps} にVRFYBACが0Vになり、データ“1”又はデータ“2”が保持されているデータ回路からはビット線書き込み制御電圧Vccがビット線に出力される。その結果、“1”書き込み又は“2”書き込みするビット線はVcc、“3”書き込みするビット線は2V、“4”書き込みするビット線は0Vになる。時刻 t_{4ps} に制御ゲート・選択ゲート駆動回路2によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A～CG4AがVccとなる。選択ゲートSG2Aは0Vである。次に、選択された制御ゲートCG2Aが高電圧Vpp（例えば20V）、非選択制御ゲートCG1A、CG3A、CG4AがVM（例えば10V）となる。データ“4”が保持されているデータ回路に対応するメモリセルでは、0Vのチャネル電位と制御ゲートのVppの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“3”が保持されているデータ回路に対応するメモリセルでは、2Vのチャネル電位と制御ゲートのVppの電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。“3”書き込みの場合のチャネル電位を2Vにしているのは、電子の注入量を“4”データ書き込みの場合よりも、少なくするためである。データ“1”又は“2”が保持されているデータ回路に対応するメモリセルでは、チャネル電位と制御ゲートのVppの電位差が小さいため、実効的には浮遊ゲートに電子は注

入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号SAN1、SAN2、PREB、BLCBは“H”、信号SAP1、SAP2、VRFYBA1C、RV1A、RV1B、RV2B、ECH1、ECH2は“L”、電圧VBは0Vである。

【0163】（3）下位ページのベリファイリード

書き込み動作後、書き込みが充分に行なわれたかを検出する（書き込みベリファイ）。もし、所望のしきい値に達していれば、フリップ・フロップFF1のノードN3Cを“H”に変更する。もし、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行なう。書き込み動作と書き込みベリファイは、全ての“3”書き込みするメモリセル及び“4”書き込みするメモリセルが所望のしきい値に達するまで繰り返される。

【0164】図18及び図43を用いて、この書き込みベリファイ動作を説明する。まず、“3”書き込みするメモリセルが所定のしきい値に達しているかを検出する。まず時刻 t_{1yy} に、電圧VA、VBがそれぞれ1.8V、1.5Vとなって、ビット線BLa、BLbはそれぞれ1.8V、1.5Vになる。信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa、BLbはフローティングとなる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。続いて制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲートCG2Aは0.5V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVccにされる。選択されたメモリセルのしきい値が0.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0.5V以上なら、ビット線電圧は1.8Vのままととなる。

【0165】時刻 t_{2yy} に、信号BLCA、BLCBが“H”とされ、ビット線の電位がN1、N2に転送される。その後、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。この後時刻 t_{3yy} にRV2Aが1.5Vになり、“2”書き込みの場合及び“4”書き込みの場合には、ノードN1が0Vに放電される。時刻 t_{4yy} に信号VRFYBACが“L”となると、“1”又は“2”書き込みデータが保持されているデータ回路では、pチャネルMOSトランジスタQp12Cが“ON”であり、ノードN1はVccとなる。その結果、ノードN1は“1”書き込み又は“2”書き込みの場合にはVcc、“4”書き込みの場合には0Vになる。

【0166】信号SAN1、SAP1がそれぞれ

“L”，“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A，RV1Bが“H”となる。再度、信号SAN1，SAP1がそれぞれ“H”，“L”となることで、時刻 t_{5yy} にノードN1の電圧がセンスされラッチされる。これで、“3”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが充分“3”書き込み状態となったか否かを検出する。メモリセルのデータが“3”であれば、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“1”に変更される。メモリセルのデータが“3”でなければ、フリップ・フロップFF1でノードN2の電圧をセンスしラッチすることで書き込みデータは“3”に保持され以後、追加書き込みが行なわれる。“1”又は“2”又は“4”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0167】次に、選択された制御ゲートが2.5Vにされる。選択されたメモリセルのしきい値が2.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2.5V以上なら、ビット線電圧は1.8Vのままとする。時刻 t_{6yy} にPREA，PREBがVccになりノードN1，N2が1.8V，1.5Vになった後、フローティングになる。この後時刻 t_{7yy} に、信号BLCA，BLCBが“H”とされ、ビット線の電位がN1，N2に転送される。その後、信号BLCA，BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。時刻 t_{8yy} に信号VRFYBACが“L”となると、“1”又は“2”書き込みデータが保持されているデータ回路及び、“3”書き込みが充分に行なわれたために“1”書き込みデータが保持されているデータ回路では、pチャネルMOSトランジスタQp12Cが“ON”であり、ノードN1はVccとなる。

【0168】信号SAN1，SAP1がそれぞれ“L”，“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A，RV1Bが“H”となる。再度、信号SAN1，SAP1がそれぞれ“H”，“L”となることで、時刻 t_{9yy} にノードN1の電圧がセンスされラッチされる。これで、“4”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが充分“4”書き込み状態となったか否かを検出する。メモリセルのデータが“4”であれば、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“2”に変更され、以後は書き込まれなくなる。メモリセルのデータが“4”でなければ、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“4”

に保持され以後、追加書き込みが行なわれる。“1”又は“2”又は“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0169】全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のノードN4Cが“L”になる。これを検出することにより、全ての選択されたメモリセルが所望のしきい値に達したか否かが分る。書き込み終了の検出は、例えば図18のように書き込み終了一括検知トランジスタQn5Cを用いればよい。ベリファイリード後、まずVRTCを例えばVccにプリチャージする。書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN4Cは“H”なのでnチャネルMOSトランジスタQn5Cは“ON”し、VRTCはプリチャージ電位から低下する。全てのメモリセルが充分に書き込まれると、データ回路3-0，3-1，…，3-m-1，3-mのノードN4Cが全て“L”になる。その結果、全てのデータ回路内のnチャネルMOSトランジスタQn5Cが“OFF”になるのでVRTCはプリチャージ電位を保ち、書き込み終了が検知される。

【0170】＜上位ページの読み出し＞上位ページの読み出しではメモリセルが“1”又は“3”であるか、或いは“2”又は“4”であるかが読み出される。このためには選択した制御ゲートに1Vを印加し、電流が流れるか否かを検出すればよい。タイミング図は図30であり、図30の時刻 t_{3RD} にフリップ・フロップFF2によってデータをラッチした後に、CENB2を“H”にすることにより、上位ページの書き込みデータが外部に出力される。この時のフリップ・フロップFF2のデータは図32である。

【0171】＜下位ページの読み出し＞下位ページの読み出しではメモリセルが“0”又は“2”であるか、或いは“1”又は“3”であるかが読み出される。タイミング図は図30及び図31である。読み出した結果のフリップ・フロップのノードは図34である。下位ページのデータはフリップ・フロップ1（ノードN3C，N4C）に蓄えられている。CENB1を活性化することにより、下位ページのデータを外部に出力できる。

【0172】上記の説明から分るように、上位ページの読み出しは下位ページの読み出しの時刻 t_{3RD} までの動作である。従って、例えば上位ページに引き続いて下位ページを読み出す場合には、まず上位ページを読み出した後に、上位ページのデータをチップ外部に出力している間に、引き続き、下位ページのデータを読み出してもよい。つまり、時刻 t_{3RD} に上位ページのデータがフリップ・フロップFF2にラッチされ、チップ外部に出力されると同時に、＜下位ページの読み出し＞で記した図30及び図31の時刻 t_{3RD} 以降の動作を行なう。これにより、見かけ上、下位ページの書き込みを高速に行なうことができる。

【0173】＜下位ページの別の書き込み方法＞上記実

施形態では下位ページの書き込みの際に、上位ページのデータの読み出し、及びデータ反転を行なっている。第3の実施形態と同様に、本実施形態でも上位ページのデータ反転動作を省略できる。データ回路は図18である。上位データ読み出しのタイミング図は図23の時刻 t_{4yd} までとほぼ同様である。図23と異なるのは、本実施形態では“2”状態が1.5Vから1.8Vの間のしきい値を持つので、CG2Aを0Vではなく、1Vにする点である。プログラム及びベリファイリードの動作タイミングは図44、及び図45である。動作内容は第3の実施形態とほぼ同様なので、ここでは詳細な説明は省略する。

【0174】〔第5の実施形態〕本実施形態は、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルにおいて、図52のようにメモリセルが“1”状態，“2”状態，…，“ $2^{k-1}-1$ ”状態又は“ 2^{k-1} ”状態（kは2以上の自然数）を保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、メモリセルを“1”状態，“2”状態，…，“ 2^k-1 ”状態又は“ 2^k ”状態にし、メモリセルが“1”状態，“2”状態，…，“ 2^k-1 ”状態又は“ 2^k ”状態を保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、メモリセルを“1”状態，“2”状態，…，“ $2^{k+1}-1$ ”状態又は“ 2^{k+1} ”状態にし、メモリセルが“1”状態，“2”状態，…，“ $2^{n-1}-1$ ”状態又は“ 2^{n-1} ”状態（mは $n=2^m$ を満たす自然数）を保持する場合に、メモリセルの外部から入力する書き込みデータとメモリセルが保持するデータに基づいて、メモリセルを“1”状態，“2”状態，…，“ 2^m-1 ”状態又は“ 2^m ”状態にすることを特徴とする。

【0175】例えば4値メモリセルの場合には、図46のようにメモリセルが“1”状態又は“2”状態を保持する場合に、メモリセルの外部から入力する書き込みデータと、前記メモリセルが保持するデータを基に、メモリセルを“1”状態，“2”状態，“3”状態又は“4”状態にすることを特徴とする。

【0176】また本実施形態は、図46のように、第1の書き込み動作において、第1の論理レベルが入力するとメモリセルは“1”状態になり、第2の論理レベルが入力すると“2”状態になり、その後、第1の書き込み動作の結果“1”状態であるメモリセルは第2の書き込み動作において、第3の論理レベルが入力すると“1”状態になり、第4の論理レベルが入力すると“3”状態になり、第1の書き込み動作の結果“2”状態であるメモリセルは第2の書き込み動作において、第3の論理レ

ベルが入力すると“2”状態になり、第4の論理レベルが入力すると“4”状態になることを特徴とする。

【0177】本実施形態は、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、

“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルと、メモリセルの書き込みデータを保持するデータ回路と、から図47のように構成される。

【0178】そして、メモリセルが“1”状態又は“2”状態を保持する場合に、データ回路がメモリセルの外部から入力する書き込みデータ及び、前記メモリセルから読み出されたデータを保持した後に、前記データ回路に保持したデータを基に、メモリセルを“1”状態，“2”状態，“3”状態又は“4”状態にすることを特徴とする。

【0179】また、第1の書き込み動作において、データ回路に保持する第1の書き込みデータに応じて、書き込みデータが第1の論理レベルの場合にはメモリセルは“1”状態になり、書き込みデータが第2の論理レベルの場合には“2”状態になり、その後、データ回路がメモリセルの外部から入力する書き込みデータ及び、前記メモリセルから読み出されたデータを保持した後に、メモリセルが“1”状態でありかつ第2の書き込みデータが第3の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“1”状態になり、メモリセルが“1”状態でありかつ書き込みデータが第4の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“3”状態になり、メモリセルが“2”状態でありかつ第2の書き込みデータが第3の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“2”状態になり、メモリセルが“2”状態でありかつ第2の書き込みデータが第4の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“4”状態になることを特徴とする。

【0180】従って、4値メモリセルの場合には、例えば図46のようなしきい値分布であればよい。書き込みは図46、図47のように行なえばよい。データ回路は例えば第1のラッチ回路及び第2のラッチ回路から構成されればよい。

【0181】第1の書き込み動作において第1の書き込みデータはI/O線から第1のラッチ回路に入力し、データ回路に保持する第1の書き込みデータに応じて、書き込みデータが第1の論理レベルの場合にはメモリセルは“1”状態になり、書き込みデータが第2の論理レベルの場合には“2”状態になる。第2の書き込み動作では、データ回路内の第1のラッチ回路がメモリセルの外部から入力する第2の書き込みデータをラッチし、第2のラッチ回路が前記メモリセルから読み出された第1の

書き込みデータを保持する。その後、メモリセルが“1”状態でありかつ第2の書き込みデータが第3の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“1”状態になり、メモリセルが“1”状態でありかつ第2の書き込みデータが第4の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“3”状態になり、メモリセルが“2”状態でありかつ第2の書き込みデータが第3の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“2”状態になり、メモリセルが“2”状態でありかつ第2の書き込みデータが第4の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“4”状態になる。本実施形態は4値メモリセルに限らず、例えば8値メモリセルでもよいし、16値メモリセルや 2^m 値(m は自然数)メモリセルでも構わない。1メモリセルに蓄える情報は、2の倍数に限らず、もちろん3値でも5値でも6値でも10値でも280値でもよい。

【0182】8値メモリセルのしきい値分布と書き込み動作の一例が図48、図49である。データ回路は例えば第1のラッチ回路、第2のラッチ回路及び第3のラッチ回路から構成されればよい。

【0183】第1の書き込み動作において第1の書き込みデータはI/O線から第1のラッチ回路に入力し、データ回路に保持する第1の書き込みデータに応じて、書き込みデータが第1の論理レベルの場合にはメモリセルは“1”状態になり、書き込みデータが第2の論理レベルの場合には“2”状態になる。第2の書き込み動作では、データ回路内の第1のラッチ回路がメモリセルの外部から入力する第2の書き込みデータをラッチし、第2のラッチ回路が前記メモリセルから読み出された第1の書き込みデータを保持する。その後、メモリセルが

“1”状態でありかつ第2の書き込みデータが第3の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“1”状態になり、メモリセルが“1”状態でありかつ第2の書き込みデータが第4の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“3”状態になり、メモリセルが“2”状態でありかつ

第2の書き込みデータが第3の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“2”状態になり、メモリセルが“2”状態でありかつ第2の書き込みデータが第4の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“4”状態になる。第3の書き込み動作では、データ回路内の第1のラッチ回路がメモリセルの外部から入力する第3の書き込みデータをラッチし、第2、第3のラッチ回路が前記メモリセルから読み出された第1の書き込みデータ及び第2の書き込みデータを保持する。その後、第3の書き込みデータから第5の論理レベルである場合には、メモリセルは“1”又は“2”又は“3”又は“4”状態を保つ。第3の書き込みデータが第6の論理レベルである場合に

は、“1”状態、“2”状態、“3”状態、“4”状態のメモリセルは、それぞれ“5”状態、“6”状態、“7”状態、“8”状態になる。

【0184】16値メモリセルのしきい値分布と書き込み動作の一例が図50、図51である。データ回路は例えば第1のラッチ回路、第2のラッチ回路、第3のラッチ回路及び第4のラッチ回路から構成されればよい。

【0185】第1の書き込み動作において第1の書き込みデータはI/O線から第1のラッチ回路に入力し、データ回路に保持する第1の書き込みデータに応じて、書き込みデータが第1の論理レベルの場合にはメモリセルは“1”状態になり、書き込みデータが第2の論理レベルの場合には“2”状態になる。第2の書き込み動作では、データ回路内の第1のラッチ回路がメモリセルの外部から入力する第2の書き込みデータをラッチし、第2のラッチ回路が前記メモリセルから読み出された第1の書き込みデータを保持する。その後、メモリセルが

“1”状態でありかつ第2の書き込みデータが第3の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“1”状態になり、メモリセルが“1”状態でありかつ第2の書き込みデータが第4の論理レベルであるとデータ回路が保持する場合、前記メモリセルは

“3”状態になり、メモリセルが“2”状態でありかつ第2の書き込みデータが第3の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“2”状態になり、メモリセルが“2”状態でありかつ第2の書き込みデータが第4の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“4”状態になる。第3の書き込み動作では、データ回路内の第1のラッチ回路がメモリセルの外部から入力する第3の書き込みデータをラッチし、第2、第3のラッチ回路が前記メモリセルから読み出された第1の書き込みデータ及び第2の書き込みデータを保持する。その後、第3の書き込みデータが第5の論理レベルである場合には、メモリセルは“1”又は“2”又は“3”又は“4”状態を保つ。第3の書き込みデータが第6の論理レベルである場合には、

“1”状態、“2”状態、“3”状態、“4”状態のメモリセルは、それぞれ“5”状態、“6”状態、“7”状態、“8”状態になる。

【0186】第4の書き込み動作では、データ回路内の第1のラッチ回路がメモリセルの外部から入力する第4の書き込みデータをラッチし、第2、第3、第4のラッチ回路が前記メモリセルから読み出された第1の書き込みデータ、第2の書き込みデータ、及び第3の書き込みデータを保持する。その後、第4の書き込みデータが第7の論理レベルである場合には、メモリセルは“1”又は“2”又は“3”又は“4”又は“5”又は“6”又は“7”又は“8”状態を保つ。第4の書き込みデータが第8の論理レベルである場合には、“1”状態、“2”状態、“3”状態、“4”状態、“5”状態、

“6”状態，“7”状態，“8”状態のメモリセルは、それぞれ“9”状態，“10”状態，“11”状態，“12”状態，“13”状態，“14”状態，“15”状態，“16”状態になる。 2^m 値 (m は自然数) メモリセルのしきい値分布と書き込み動作の一例が図52、図53である。データ回路は例えば第1のラッチ回路、第2のラッチ回路、第3のラッチ回路、第4のラッチ回路、…、第 m のラッチ回路から構成されればよい。

【0187】第1の書き込み動作において第1の書き込みデータはI/O線から第1のラッチ回路に入力し、データ回路に保持する第1の書き込みデータに応じて、書き込みデータが第1の論理レベルの場合にはメモリセルは“1”状態になり、書き込みデータが第2の論理レベルの場合には“2”状態になる。第2の書き込み動作では、データ回路内の第1のラッチ回路がメモリセルの外部から入力する第2の書き込みデータをラッチし、第2のラッチ回路が前記メモリセルから読み出された第1の書き込みデータを保持する。その後、メモリセルが“1”状態でありかつ第2の書き込みデータが第3の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“1”状態になり、メモリセルが“1”状態でありかつ第2の書き込みデータが第4の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“3”状態になり、メモリセルが“2”状態でありかつ第2の書き込みデータが第3の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“2”状態になり、メモリセルが“2”状態でありかつ第2の書き込みデータが第4の論理レベルであるとデータ回路が保持する場合、前記メモリセルは“4”状態になる。

【0188】第3の書き込み動作では、データ回路内の第1のラッチ回路がメモリセルの外部から入力する第3の書き込みデータをラッチし、第2、第3のラッチ回路が前記メモリセルから読み出された第1の書き込みデータ及び第2の書き込みデータを保持する。その後、第3の書き込みデータが第5の論理レベルである場合には、メモリセルは“1”又は“2”又は“3”又は“4”状態を保つ。第3の書き込みデータが第6の論理レベルである場合には、“1”状態，“2”状態，“3”状態，“4”状態のメモリセルは、それぞれ“5”状態，“6”状態，“7”状態，“8”状態になる。第4の書き込み動作では、データ回路内の第1のラッチ回路がメモリセルの外部から入力する第4の書き込みデータをラッチし、第2、第3、第4のラッチ回路が前記メモリセルから読み出された第1の書き込みデータ、第2の書き込みデータ、及び第3の書き込みデータを保持する。その後、第4の書き込みデータが第7の論理レベルである場合には、メモリセルは“1”又は“2”又は“3”又は“4”又は“5”又は“6”又は“7”又は“8”状態を保つ。第4の書き込みデータが第8の論理レベルである場合には、“1”状態，“2”状態，“3”状態，

“4”状態，“5”状態，“6”状態，“7”状態，“8”状態のメモリセルは、それぞれ“9”状態，“10”状態，“11”状態，“12”状態，“13”状態，“14”状態，“15”状態，“16”状態になる。

【0189】第 m の書き込み動作では、データ回路内の第1のラッチ回路がメモリセルの外部から入力する第 m の書き込みデータをラッチし、第2、第3、第4、…、第 m のラッチ回路が、前記メモリセルから読み出された第1の書き込みデータ、第2の書き込みデータ、第3の書き込みデータ、…、第 $(m-1)$ の書き込みデータを保持する。その後、第 m の書き込みデータが第 $(2m-1)$ の論理レベルである場合には、メモリセルは“1”又は“2”又は“3”…又は“ $2^{m-1}-1$ ”又は“ 2^{m-1} ”状態を保つ。第 m の書き込みデータが第 $2m$ の論理レベルである場合には、“1”状態，“2”状態，“3”状態、…、“ $2^{m-1}-1$ ”状態，“ 2^{m-1} ”状態のメモリセルは、それぞれ“ $2^{m-1}+1$ ”状態，“ $2^{m-1}+2$ ”状態、…、“ 2^m-1 ”状態，“ 2^m ”状態になる。

【0190】〔第6の実施形態〕本実施形態は、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“ i ”状態 (i は n 以下の自然数であり、 n は 3 以上の自然数) は第 i のしきい値レベルを有するような n 値を記憶する、複数ビットのデータの記憶が可能なメモリセルにおいて、第 p (p は 1 以上の自然数) の書き込み動作で書き込まれたデータのしきい値分布幅が、第 $p+1$ の書き込み動作で新たに書き込まれたデータのしきい値分布幅のしきい値分布幅よりも狭いことを特徴とする。4 値 NAND フラッシュメモリを例にとり、図面を参照して本実施形態を説明する。1つのメモリセルには、上位ビット及び下位ビットの2つに分けることのできる複数ビットのデータが記憶され得る。この複数ビットのデータはそれぞれ、上位ビットのデータが上位ページの書き込み動作、下位ビットのデータが下位ページの書き込み動作で、データ書き込みの単位となるページを形成するメモリセル群へ書き込まれる。

【0191】書き込み動作手順を図54に示した。すなわち図54(a)は、上位ページの書き込みを示す図である。上位ページの書き込みデータがHighの場合にはメモリセルは消去状態である“1”状態を保ち、Lowの場合にはメモリセルは“2”状態に書き込まれる。また図54(b)は、下位ページの書き込みを示す図である。下位ページの書き込みデータがHighの場合には“1”状態、“2”状態のメモリセルはその状態を保ち、Lowの場合には“1”状態のメモリセルは“3”状態に、“2”状態のメモリセルは“4”状態に書き込まれる。このように、1つのメモリセル内のデータを複数のページに分けて書き込むことにより、書き込みが高

速化される。図54に示される通り、下位ページの書き込みでは“3”書き込みが充分に行なわれたかを調べる“3”ベリファイリード、及び“4”書き込みが充分に行なわれたかを調べる“4”ベリファイリードを行なうのに対し、上位ページの書き込みでは“2”書き込みが充分に行なわれたかを調べる“2”ベリファイリードのみ行なう。しかも通常は、“4”状態のようにしきい値レベルが高いデータほど、ベリファイリードの動作自体長くなる傾向がある。従って、こうした書き込み動作においてメモリセルのトランジスタのしきい値をシフトさせるため、書き込みバイアスとしてのパルスをワード線に供給する際に、充分な書き込みが行なわれるまで書き込みバイアスを段階的に大きくしていく増加幅（書き込み電圧のステップアップ幅）を上位ページ及び下位ページの書き込みで等しくすると、下位ページの書き込みに比べて上位ページの書き込みを高速に行なうことができる。

【0192】しかしながら、ページ書き込みに要する時間で通常定義される書き込み時間は、結局は上位ページ及び下位ページの書き込みのうちの長い方の時間で決定され、チップの書き込み時間の仕様は書き込み時間が長くなる下位ページの書き込み時間に設定される。このため、上位ページの書き込みだけが高速に行なわれても利点は少ない。本実施形態においては、こうした点を考慮して上位ページの書き込み時間が下位ページの書き込み時間とほぼ同程度となるように、上位ページの書き込みを高精度にゆっくりと行なう。すなわち、上位ページの書き込みの際の書き込み電圧のステップアップ幅を ΔV_{pp1} 、下位ページの書き込みの際の書き込み電圧のステップアップ幅を ΔV_{pp2} としたとき、 $\Delta V_{pp1} < \Delta V_{pp2}$ の関係を満足させる。このように上位ページの書き込みを高精度に行なうことで、“2”状態のメモリセルのしきい値分布幅が狭まってメモリセルの信頼性が向上する。以下、 $\Delta V_{pp1} = \Delta V_{pp2}$ に設定した場合と比較しながら、本実施形態をより詳細に説明する。

【0193】図55は、書き込み電圧のステップアップ幅が上位ページ及び下位ページで等しく（ $\Delta V_{pp1} = \Delta V_{pp2}$ ）、上位ページの書き込み動作で書き込まれたデータ“2”のしきい値分布幅が、下位ページの書き込み動作で新たに書き込まれたデータ“3”、“4”のしきい値分布幅と等しい場合について、メモリセルのしきい値分布を示す図である。なお図中のVCG2V、VCG3V、VCG4Vは、それぞれメモリセルにデータ“2”、“3”、“4”が充分書き込まれたか否かをチェックする際のベリファイ電圧に相当する。また図56に、ここでの書き込みに当ってメモリセルに供給されるパルスの波形を示す。

【0194】図55に示されるように、“2”状態、“3”状態、“4”状態の各しきい値分布幅が全て0.8Vであるとき、上位ページの書き込み電圧は図56に

示される通り、例えば初期値の1.5Vから0.8Vずつ大きくする。また下位ページの書き込み電圧は、上位ページの書き込み電圧の初期値に“2”書き込みに対するベリファイ電圧と“4”書き込みに対するベリファイ電圧との電圧差を加算した17.8Vを初期値とし、17.8Vからやはり0.8Vずつ大きくしていく。さらに、このとき“4”書き込みするメモリセルのチャネル及びビット線は0Vとし、“3”書き込みするメモリセルのチャネル及びビット線を“3”書き込みに対するベリファイ電圧と“4”書き込みに対するベリファイ電圧との電圧差に相当する1.4Vに設定することで、下位ページの書き込み動作の際“3”状態と“4”状態をほぼ同時に書き込むことができる。これに対し、本実施形態でのメモリセルのしきい値分布を図57に示し、書き込みに当ってメモリセルに供給するパルスの波形を図58、図59に示す。まず図57(a)のしきい値分布を得るためには、図58(a)、(b)に示されるようなパルスを書き込み電圧とすればよい。上位ページの書き込み電圧として、初期値1.5Vから0.3Vずつ大きくするパルスを供給することで、“2”状態のしきい値分布幅を0.3Vに狭めることができる。なお、このように書き込み電圧のステップアップ幅を小さくすると高精度に書き込みが行なわれる反面、書き込み時間は長時間化する。従って書き込み電圧のステップアップ幅の大きさは、ベリファイリードに要する時間も併せた書き込み時間が上位ページの書き込みと下位ページの書き込みとでほぼ同程度となるように設定することが好ましい。

【0195】一方下位ページの書き込み電圧は、図58(b)に示される通り初期値17.3Vから0.8Vずつ大きくしていく。すなわち下位ページの書き込み電圧の初期値は、上位ページの書き込み電圧の初期値に“2”書き込みに対するベリファイ電圧と“4”書き込みに対するベリファイ電圧との電圧差を加算した17.3Vに設定し、書き込み電圧のステップアップ幅は図55のしきい値分布を得る場合と同様に、0.8Vとする。またこのとき“4”書き込みするメモリセルのチャネル及びビット線は0Vとし、“3”書き込みするメモリセルのチャネル及びビット線を“3”書き込みに対するベリファイ電圧と“4”書き込みに対するベリファイ電圧との電圧差に相当する1.4Vに設定することで、下位ページの書き込み動作の際“3”状態と“4”状態をほぼ同時に書き込むことができる。ここでは、図57(a)に示される通り“2”状態のしきい値分布幅を0.3Vに狭めたことで、最もしきい値レベルの高い“4”状態のしきい値分布が図55に比べ約0.5V低下する。この結果、メモリセルにおいて浮遊ゲート中の蓄積電荷の基板へのリークが抑制され、ひいてはメモリセルのデータ保持時間を2、3倍程度長くしてその信頼性を向上することができる。なお、こうして上位ページの書き込みが高精度に行なわれると上位ページの書き込

み速度は反面低下する。しかしながら、下位ページの書き込みの方に長時間を要する以上、チップの書き込み速度の仕様は下位ページの書き込み速度で決定されるので、上位ページの書き込み速度が下位ページの書き込み速度よりも遅くならない限り、チップの書き込み速度の仕様は遅くならない。

【0196】また本実施形態において、メモリセルのしきい値分布は以上に限定されるものではなく任意性を有する。例えば、図57(b)に示されるようなしきい値分布であってもよい。すなわちこの場合も、上位ページの書き込みを高精度に行なうことで“2”状態のしきい値分布幅を0.3Vに狭める。ただしここでは、“3”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差及び、“2”状態のしきい値分布と“3”状態のしきい値分布の間の電圧差がいずれも、図55や図57(a)と比較して大きく設定されている。具体的に図55や図57(a)においては、こうしたしきい値分布の間の電圧差が0.6Vであり、メモリセルでのデータ“3”又は“4”の保持時、浮遊ゲート中の蓄積電荷のリークに起因するしきい値の低下が0.6Vを越えると、メモリセルが“2”状態或いは“3”状態となってデータの破壊が生じる可能性がある。一方、図57(b)におけるしきい値分布の間の電圧差は0.8Vであるので、同様のしきい値低下が0.8Vを越えないとデータは破壊されず、結果としてメモリセルの寿命が改善され信頼性が向上する。

【0197】図57(b)のしきい値分布を得るためには、図58(a)、(c)に示されるようなパルスを書き込み電圧とすればよい。上位ページの書き込み電圧として、初期値15Vから0.3Vずつ大きくなるパルスを供給することで、“2”状態のしきい値分布幅を0.3Vに狭めることができる。なお、このように書き込み電圧のステップアップ幅を小さくすると高精度に書き込みが行なわれる反面、書き込み時間は長時間化する。従って書き込み電圧のステップアップ幅の大きさは、ベリファイリードに要する時間も併せた書き込み時間が上位ページの書き込みと下位ページの書き込みとでほぼ同程度となるように設定することが好ましい。一方下位ページの書き込み電圧は、図58(c)に示される通り初期値17.7Vから0.8Vずつ大きくしていく。すなわち下位ページの書き込み電圧の初期値は、上位ページの書き込み電圧の初期値に“2”書き込みに対するベリファイ電圧と“4”書き込みに対するベリファイ電圧との電圧差を加算した17.7Vに設定し、書き込み電圧のステップアップ幅は図55のしきい値分布を得る場合と同様に、0.8Vとする。またこのとき“4”書き込みするメモリセルのチャネル及びビット線は0Vとし、“3”書き込みするメモリセルのチャネル及びビット線を“3”書き込みに対するベリファイ電圧と“4”書き込みに対するベリファイ電圧との電圧差に相当する1.

6Vに設定することで、下位ページの書き込み動作の際“3”状態と“4”状態をほぼ同時に書き込むことができる。

【0198】さらに、メモリセルのしきい値分布の他の例を図57(c)に示す。図57(a)、(b)においては、“3”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差及び、“2”状態のしきい値分布と“3”状態のしきい値分布の間の電圧差が等しく設定されていたが、ここでは“3”状態のしきい値分布と

“4”状態のしきい値分布の間の電圧差を、“2”状態のしきい値分布と“3”状態のしきい値分布の間の電圧差より大きくしている。すなわち、しきい値レベルが高いほど浮遊ゲート中の蓄積電荷がリークしてしきい値が低下しやすいことを考慮して、“2”状態のしきい値分布と“3”状態のしきい値分布の間の電圧差が0.7Vであるのに対し、“3”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差は1Vとなっている。

【0199】図57(c)のしきい値分布を得るためには、図58(a)、(d)に示されるようなパルスを書き込み電圧とすればよい。上位ページの書き込み電圧としては、図57(a)、(b)の場合と同様に初期値15Vから0.3Vずつ大きくなるパルスを供給する。一方下位ページの書き込み電圧は、図58(d)に示される通り初期値17.8Vから0.8Vずつ大きくしていく。すなわち下位ページの書き込み電圧の初期値は、上位ページの書き込み電圧の初期値に“2”書き込みに対するベリファイ電圧と“4”書き込みに対するベリファイ電圧との電圧差を加算した17.8Vに設定し、書き込み電圧のステップアップ幅は図55のしきい値分布を得る場合と同様に、0.8Vとする。またこのとき

“4”書き込みするメモリセルのチャネル及びビット線は0Vとし、“3”書き込みするメモリセルのチャネル及びビット線を“3”書き込みに対するベリファイ電圧と“4”書き込みに対するベリファイ電圧との電圧差に相当する1.8Vに設定することで、下位ページの書き込み動作の際“3”状態と“4”状態をほぼ同時に書き込むことができる。

【0200】また本実施形態のメモリセルは、図57(d)又は図57(e)に示されるようなしきい値分布を有していてもよい。ここでは、4値データ“1”、“2”、“3”、“4”のしきい値レベルの大小関係が図57(a)、(b)、(c)とは異なる。すなわち、第4の実施形態の場合と同様に、消去状態“1”のメモリセルに対し外部から入力する書き込みデータを基に書き込みを行なう際、上位ページの書き込み動作で書き込まれる“2”状態のしきい値分布が、下位ページの書き込み動作で書き込まれる“3”状態のしきい値分布よりも高いしきい値レベルを有する。これらについても、上位ページの書き込みを高精度に行なうことで“2”状態のしきい値分布幅が0.3Vに狭められ、最もしきい値

レベルの高い“4”状態のしきい値分布を低下させることが可能となる。さらに図57(d)においては、図57(c)と同様しきい値レベルの高い2つのデータに関してしきい値分布の間の電圧差を大きくする観点から、“3”状態のしきい値分布と“2”状態のしきい値分布の間の電圧差が0.6V、“2”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差が1Vに設定されている。

【0201】図57(d)のしきい値分布を得るためには、図59(a)、(b)に示されるようなパルスを書き込み電圧とすればよい。上位ページの書き込み電圧としては、図59(a)に示される初期値16.4Vから0.3Vずつ大きくなるパルスを供給する。一方下位ページの書き込み電圧は、図59(b)に示される通り初期値17.7Vから0.8Vずつ大きくしていく。すなわち下位ページの書き込み電圧の初期値は、上位ページの書き込み電圧の初期値に“2”書き込みに対するベリファイ電圧と“4”書き込みに対するベリファイ電圧との電圧差を加算した17.7Vに設定し、書き込み電圧のステップアップ幅は図55のしきい値分布を得る場合と同様に、0.8Vとする。またこのとき“4”書き込みするメモリセルのチャネル及びビット線は0Vとし、“3”書き込みするメモリセルのチャネル及びビット線を“3”書き込みに対するベリファイ電圧と“4”書き込みに対するベリファイ電圧との電圧差に相当する2.7Vに設定することで、下位ページの書き込み動作の際“3”状態と“4”状態をほぼ同時に書き込むことができる。

【0202】図57(e)では、“3”状態のしきい値分布と“2”状態のしきい値分布の間の電圧差及び、“2”状態のしきい値分布と“4”状態のしきい値分布の間の電圧差が、いずれも0.6Vに設定されている。書き込みに当っては、下位ページの書き込み電圧の初期値を17.3V、下位ページの書き込み動作時“3”書き込みするメモリセルのチャネル及びビット線を2.3Vとする以外は図57(d)の場合と同様にすれば、こうしたしきい値分布を得ることができる。なお以上は、4値セルへの第1の書き込み動作及び第2の書き込み動作を例にとり本実施形態を説明したが、本実施形態は何らこれに限られるものではない。すなわち、要は複数ビットのデータの記憶が可能なメモリセルについて、書き込み電圧のステップアップ幅を前段の書き込み動作で後段の書き込み動作と比べ小さく設定し、前段の書き込み動作で書き込まれるデータのしきい値分布幅を、後段の書き込み動作で新たに書き込まれるデータのしきい値分布幅のしきい値分布幅よりも狭くすればよい。

【0203】例えば、第5の実施形態における 2^m 値(m は自然数)メモリセルに対し、本実施形態を適用しても構わない。すなわち、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有

し、“3”状態は第3のしきい値レベルを有し、“ i ”状態(i は n 以下の自然数であり、 n は4以上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するメモリセルについて、メモリセルが“1”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基づいて第1の書き込みが行なわれ、前記メモリセルが“1”状態、“2”状態のいずれかのしきい値レベルになり、メモリセルが“1”状態、“2”状態、…、“ $2^{k-1}-1$ ”状態、“ 2^{k-1} ”状態(k は2以上の自然数)のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて第 k の書き込みが行なわれ、前記メモリセルが“1”状態、“2”状態、…、“ 2^k-1 ”状態、“ 2^k ”状態のいずれかのしきい値レベルになり、メモリセルが“1”状態、“2”状態、…、“ 2^k-1 ”状態、“ 2^k ”状態のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて第 $k+1$ の書き込みが行なわれ、前記メモリセルが“1”状態、“2”状態、…、“ $2^{k+1}-1$ ”状態、“ 2^{k+1} ”状態のいずれかのしきい値レベルになり、メモリセルが“1”状態、“2”状態、…、“ $2^{m-1}-1$ ”状態、“ 2^{m-1} ”状態(m は $n=2^m$ を満たす自然数)のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて第 m の書き込みが行なわれ、前記メモリセルが“1”状態、“2”状態、…、“ 2^m-1 ”状態、“ 2^m ”状態のいずれかのしきい値レベルになる場合に、本実施形態を適用することが可能である。図60に、この時のメモリセルのしきい値分布を示す。

【0204】一方、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“ i ”状態(i は n 以下の自然数であり、 n は3以上の自然数)は第 i のしきい値レベルを有するような n 値を記憶するメモリセルについて、メモリセルが“1”状態のしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータに基づいて第1の書き込みが行なわれ、前記メモリセルが“1”状態、“2”状態、…、“ $m-1$ ”状態、“ m ”状態(m は2以上の自然数)のいずれかのしきい値レベルになり、メモリセルが“1”状態、“2”状態、…、“ $m-1$ ”状態、“ m ”状態のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて第2の書き込みが行なわれ、前記メモリセルが“1”状態、“2”状態、…、“ $k-1$ ”状態、“ k ”状態(k は m より大きい自然数)のいずれかのしきい値レベルになる場合にも本実施形態を適用できる。この時のメモリセルのしきい値分布を図61に示す。

【0205】また、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは4以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルについて、メモリセルが“1”状態、“2”状態、…、“r-1”状態、“r”状態（rは2以上の自然数）のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて第j（jは2以上の自然数）の書き込みが行なわれ、前記メモリセルが“1”状態、“2”状態、…、“s-1”状態、“s”状態（sはrより大きい自然数）のいずれかのしきい値レベルになり、メモリセルが“1”状態、“2”状態、…、“s-1”状態、“s”状態のいずれかのしきい値レベルである場合に、メモリセルの外部から入力する書き込みデータとメモリセルのしきい値レベルに基づいて第j+1の書き込みが行なわれ、前記メモリセルが“1”状態、“2”状態、…、“t-1”状態、“t”状態（tはsより大きい自然数）のいずれかのしきい値レベルになる場合にも本実施形態は適用され得る。この時のメモリセルのしきい値分布を図62に示す。さらに、“1”状態は第1のしきい値レベルを有し、“2”状態は第2のしきい値レベルを有し、“3”状態は第3のしきい値レベルを有し、“i”状態（iはn以下の自然数であり、nは3以上の自然数）は第iのしきい値レベルを有するようなn値を記憶するメモリセルについて、第1の書き込み動作に際しメモリセルが、第1の論理レベルが入力すると“1”状態になり、第2の論理レベルが入力すると“2”状態になり、第k-1（kは2以上の自然数）の書き込み動作の結果“A”状態であるメモリセルが第kの書き込み動作に際し、第2k-1の論理レベルが入力すると“A”状態になり、第2kの論理レベルが入力すると“A+2^{k-1}”状態になる場合に本実施形態を適用してもよい。

【0206】〔第7の実施形態〕4値NANDフラッシュメモリを例にとり、図面を参照して本実施形態を説明する。本実施形態の多値記憶式EEPROMの構成は、第2の実施形態と同様図7であり、データ回路は図18である。本実施形態では、メモリセルの4つの書き込み状態としきい値の関係が第2の実施形態と異なる。図63に、本実施形態におけるメモリセルMのしきい値電圧と4つの書き込み状態（4レベルデータ“1”，“2”，“3”，“4”）の関係を示す。データ“1”の状態は消去後の状態と同じで、例えば負のしきい値を持つ。“2”状態は、例えば0.5Vから0.8Vの間のしきい値を持つ。“3”状態は、例えば1.4Vから2.2Vの間のしきい値を持つ。“4”状態は、例えば2.8Vから3.6Vの間のしきい値を持つ。

【0207】本実施形態では、メモリセルMの制御ゲー

トCGに例えば読み出し電圧1.1Vを印加して、メモリセルが“ON”か“OFF”かでメモリセルのデータが“1”，“2”のいずれかか“3”，“4”のいずれかを検出できる。続けて、例えば読み出し電圧2.5V，0Vを印加することでメモリセルのデータが完全に検出される。一方ベリファイ電圧VCG2V，VCG3V，VCG4Vは、例えばそれぞれ0.5V，1.4V，2.8Vとされる。

【0208】以下、より詳細に動作を説明する。本実施形態は4値記憶を例に構成されている。nチャネルMOSトランジスタQn21，Qn22，Qn23とpチャネルMOSトランジスタQp9，Qp10，Qp11で構成されるフリップ・フロップFF1とnチャネルMOSトランジスタQn29，Qn30，Qn31とpチャネルMOSトランジスタQp16，Qp17，Qp18で構成されるFF2に、書き込み／読み出しデータをラッチする。また、これらはセンスアンプとしても動作する。フリップ・フロップFF1，FF2は、「“1”書き込みをするか、“2”書き込みをするか、“3”書き込みをするか、“4”書き込みをするか」を書き込みデータ情報としてラッチし、メモリセルが“1”の情報保持しているか、“2”の情報保持しているか、“3”の情報保持しているか、“4”の情報保持しているか」を読み出しデータ情報としてセンスしラッチする。データ入出力線IOA，IOBとフリップ・フロップFF1は、nチャネルMOSトランジスタQn28，Qn27を介して接続される。データ入出力線IOA，IOBとフリップ・フロップFF2は、nチャネルMOSトランジスタQn35，Qn36を介して接続される。データ入出力線IOA，IOBは、図7中のデータ入出力バッファ4にも接続される。フリップ・フロップFF1に保持された読み出しデータはCENB1が活性化されることにより、IOA及びIOBに出力される。フリップ・フロップFF2に保持された読み出しデータはCENB2が活性化されることにより、IOA及びIOBに出力される。

【0209】nチャネルMOSトランジスタQn26，Qn34は、それぞれフリップ・フロップFF1，FF2を信号ECH1，ECH2が“H”となってイコライズする。nチャネルMOSトランジスタQn24，Qn32は、フリップ・フロップFF1，FF2とMOSキャパシタQd1の接続を制御する。nチャネルMOSトランジスタQn25，Qn33は、フリップ・フロップFF1，FF2とMOSキャパシタQd2の接続を制御する。pチャネルMOSトランジスタQp12C，Qp13Cで構成される回路は、活性化信号VRIFYBACによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。pチャネルMOSトランジスタQp14C，Qp15Cで構成される回路は、活性化信号VRIFYBBCによって、フリップ・フロップFF1のデータに応じて、MOSキャパシタQd2のゲート電圧を変更

する。nチャネルMOSトランジスタQn1C, Qn2Cで構成される回路は、活性化信号VRFYBA1Cによって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd1のゲート電圧を変更する。nチャネルMOSトランジスタQn3C, Qn4Cで構成される回路は、活性化信号VRFYBB1Cによって、フリップ・フロップFF2のデータに応じて、MOSキャパシタQd2のゲート電圧を変更する。

【0210】MOSキャパシタQd1, Qd2は、ディプリーション型nチャネルMOSトランジスタで構成され、ビット線容量より充分小さくされる。nチャネルMOSトランジスタQn37は、信号PREAによってMOSキャパシタQd1を電圧VAに充電する。nチャネルMOSトランジスタQn38は、信号PREBによってMOSキャパシタQd2を電圧VBに充電する。nチャネルMOSトランジスタQn39, Qn40は、信号BLCA, BLCBによって、データ回路3とビット線BLa, BLbの接続をそれぞれ制御する。nチャネルMOSトランジスタQn37, Qn38で構成される回路はビット線電圧制御回路を兼ねる。次に、このように構成されたEEPROMの動作を、タイミング図に従って説明する。以下では制御ゲートCG2Aが選択されている場合を示す。

【0211】＜上位ページの書き込み＞

(1) 上位ページのプログラム

書き込み動作前に、入力されたデータは、データ入出力バッファ4を経て、データ回路3に入力される。1ページの大きさが256ビットであり、データ回路は256個あるとすると、入力した上位ページの256ビットの書き込みデータは、カラム活性化信号CENB1が“H”で、IOA, IOBを介してフリップ・フロップFF1に入力する。書き込みデータとFF1のノードN3C, N4Cの関係が図19である。入力データがHighの場合には“1”状態を保ち、入力データがLowの場合には“2”状態に書き込まれる。書き込み動作は図20に示されている。時刻t1sにVRFYBACが0Vになり、データ“1”が保持されているデータ回路からはビット線書き込み制御電圧Vccがビット線に出力される。その後、時刻t2sにRV1AがVccになることにより、データ“2”が保持されているデータ回路からは0Vがビット線に出力される。その結果、“1”書き込みするビット線はVcc、“2”書き込みするビット線は0Vになる。時刻t1sに制御ゲート・選択ゲート駆動回路2によって、選択されたブロックの選択ゲートSG1A、制御ゲートCG1A～CG4AがVccになる。選択ゲートSG2Aは0Vである。次に、時刻t3sに、選択された制御ゲートCG2Aが高電圧Vpp（例えば初期値15V）、非選択制御ゲートCG1A, CG3A, CG4AがVM（例えば10V）となる。データ“2”が保持されているデータ回路に対応するメモリセルでは、0Vのチャネル電位と制御ゲートのVppの電位差によ

て、浮遊ゲートに電子が注入されしきい値が上昇する。データ“1”が保持されているデータ回路に対応するメモリセルでは、選択ゲートSG1Aが“OFF”になるのでメモリセルのチャネルはフローティングになる。

【0212】その結果、メモリセルのチャネルは制御ゲートとの間の容量結合により、8V程度になる。データ“1”を書き込むメモリセルではチャネルが8V、制御ゲートが20Vなので、メモリセルへの電子の注入は行なわれず、消去状態（“1”）を保つ。書き込み動作中、信号SAN1, SAN2, PREB, BLCBは“H”、信号SAP1, SAP2, VRFYBA1C, RV1B, RV2B, ECH1, ECH2は“L”、電圧VBは0Vである。

【0213】(2) 上位ページのベリファイリード

書き込み動作後、書き込みが充分に行なわれたかを検出する（書き込みベリファイ）。もし、所望のしきい値に達していれば、データ回路のデータを“1”に変更する。もし、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行なう。書き込み動作と書き込みベリファイは全ての“2”書き込みするメモリセルが所望のしきい値に達するまで繰り返される。このとき、ここでの書き込み動作と書き込みベリファイの繰り返しの応じて、制御ゲートCG2Aへの印加電圧Vppを段階的に増加させる。具体的には、例えば図58(a)に示されるようにステップアップ幅を0.3Vとし、Vppの値を初期値15Vから0.3V刻みに大きくしていく。図18及び図21を用いて、この書き込みベリファイ動作を説明する。まず、時刻t1ycに、電圧VA, VBがそれぞれ1.8V, 1.5Vとなって、ビット線BLa, BLbはそれぞれ1.8V, 1.5Vになる。信号BLCA, BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa, BLbはフローティングとなる。信号PREA, PREBが“L”となって、MOSキャパシタQd1, Qd2のゲート電極であるノードN1, N2はフローティング状態になる。続いて、時刻t2ycに、制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲートCG2Aは0.5V、非選択制御ゲートCG1A, CG3A, CG4Aと選択ゲートSG1A, SG2AはVccにされる。選択されたメモリセルのしきい値が0.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0.5V以上なら、ビット線電圧は1.8Vのままととなる。時刻t3ycに、信号BLCA, BLCBが“H”とされ、ビット線の電位がN1, N2に転送される。その後、信号BLCA, BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。

【0214】この後、時刻t4ycにVRFYBACが

“L”となると、“1”書き込みデータが保持されているデータ回路では、pチャネルMOSトランジスタQp12Cが“ON”であり、ノードN1はVccとなる。その結果、ノードN1は“1”書き込みの場合にはVccになる。“2”書き込みの場合には、pチャネルMOSトランジスタQp12Cが“OFF”する。つまり、“2”書き込みが充分に行なわれた場合には、N1はVccになり、“2”書き込みが不十分の場合には、N1は0Vになる。その後、信号SAN1、SAP1がそれぞれ“L”、“H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A、RV1Bが“H”となる。再度、信号SAN1、SAP1がそれぞれ“H”、“L”となることで、時刻t5ycにノードN1の電圧がセンスされラッチされる。これで、“2”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが充分“2”書き込み状態となったか否かを検出する。メモリセルのデータが“2”であれば、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“1”に変更される。メモリセルのデータが“2”でなければ、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“2”に保持される。“1”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0215】全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のノードN4Cが“L”になる。これを検出することにより、全ての選択されたメモリセルが所望のしきい値に達したか否かが分る。書き込み終了の検出は、例えば図18のように書き込み終了一括検知トランジスタQn5Cを用いればよい。ベリファイリード後、まずVRTCを例えばVccにプリチャージする。書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN4Cは“H”なのでnチャネルMOSトランジスタQn5Cは“ON”し、VRTCはプリチャージ電位から低下する。全てのメモリセルが充分に書き込まれると、データ回路3-0、3-1、…、3-m-1、3-mのノードN4Cが全て“L”になる。その結果、全てのデータ回路内のnチャネルMOSトランジスタQn5Cが“OFF”になるのでVRTCはプリチャージ電位を保ち、書き込み終了が検知される。ここで、こうして書き込まれた“2”書き込みデータのしきい値分布は、制御ゲートCG2Aへの印加電圧Vppのステップアップ幅を0.3Vとしたことに基づき、0.5V～0.8Vの範囲内に収められる。

【0216】＜下位ページの書き込み＞

(1) 上位データの読み出し及びデータロード
下位ページを書き込むに先だて、メモリセルには上位ページのデータが書き込まれ、図22(a)のように、“1”状態又は“2”状態になっている。下位ページの

データを外部からIOA、IOBを通じてフリップ・フロップFF1に入力すると同時に、メモリセルに蓄えられた上位ページのデータを読み出してフリップ・フロップFF2に保持する。図22、図23を用いてメモリセルに書き込まれた上位ページのデータの読み出しを説明する。

【0217】まず時刻t1ydに、電圧VA、VBがそれぞれ1.8V、1.5Vとなって、ビット線BLa、BLbはそれぞれ1.8V、1.5Vになる。信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa、BLbはフローティングとなる。信号PREA、PREBが“L”となって、MOSキャパシタQd1、Qd2のゲート電極であるノードN1、N2はフローティング状態になる。

【0218】続いて時刻t2ydに、制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲートCG2Aは0V、非選択制御ゲートCG1A、CG3A、CG4Aと選択ゲートSG1A、SG2AはVccにされる。選択されたメモリセルのしきい値が0V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0V以上なら、ビット線電圧は1.8Vのままとなる。時刻t3ydに、信号BLCA、BLCBが“H”とされ、ビット線の電位がN1、N2に転送される。その後、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。その後、信号SAN2、SAP2がそれぞれ“L”、“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。再度、信号SAN2、SAP2がそれぞれ

“H”、“L”となることで、時刻t4ydにノードN1の電圧がセンスされラッチされる。この時のフリップ・フロップFF2のノードN5C、N6Cは図22(b)になる。ここでは第3の実施形態と同様、読み出された上位データのデータ反転動作は行なわず、時刻t4ydにセンスした時点でフリップ・フロップFF1への読み出しデータの保持は終了する。外部からフリップ・フロップFF1に入力した下位ページの書き込みデータは図24の通りである。下位ページの入力データが“H”ならば書き込みは行なわれず、メモリセルは“1”又は“2”状態を保つ。一方、下位ページの入力データが“L”ならば書き込みが行なわれ、“1”状態のメモリセルは“3”状態に、“2”状態のメモリセルは“4”状態に書き込まれる。

【0219】以上をまとめると、下位ページ書き込み時のフリップ・フロップのノードN3C、N4C、N5C、N6Cのデータは図35のようになる。

【0220】(2) 下位ページのプログラム

書き込み動作は図36とほぼ同様である。ただし図36と異なるのは、時刻 t_{1pq} に電圧 V_A がビット線書き込み制御電圧 $1.4V$ となってビット線 BL_a が $1.4V$ とされる点である。以下、図36を用いて説明する。 n チャネルMOSトランジスタ Q_{n39} のしきい値分の電圧降下分が問題になるときは、信号 $BLCA$ を昇圧すればよい。続いて、信号 $PREA$ が“L”となってビット線がフローティングにされる。次に、時刻 t_{2pq} に信号 $VRFYBA1C$ が V_{cc} とされる。これによって、データ“1”又は“3”が保持されている場合には、 n チャネルMOSトランジスタ Q_{n20} が“ON”するので、ビット線制御電圧 $0V$ がビット線に印加される。図36のように $VRFYBA1C$ を V_{cc} 以上にしてもよい。その後、時刻 t_{3pq} に $VRFYBAC$ が $0V$ になり、データ“1”又はデータ“2”が保持されているデータ回路からはビット線書き込み制御電圧 V_{cc} がビット線に出力される。その結果、“1”書き込み又は“2”書き込みするビット線は V_{cc} 、“3”書き込みするビット線は $1.4V$ 、“4”書き込みするビット線は $0V$ になる。

【0221】時刻 t_{1pq} に制御ゲート・選択ゲート駆動回路2によって、選択されたブロックの選択ゲート $SG1A$ 、制御ゲート $CG1A \sim CG4A$ が V_{cc} となる。選択ゲート $SG2A$ は $0V$ である。時刻 t_{4pq} に選択された制御ゲート $CG2A$ が高電圧 V_{pp} （例えば初期値 $17.3V$ ）、非選択制御ゲート $CG1A$ 、 $CG3A$ 、 $CG4A$ が V_M （例えば $10V$ ）となる。データ“4”が保持されているデータ回路に対応するメモリセルでは、 $0V$ のチャネル電位と制御ゲートの V_{pp} の電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。データ“3”が保持されているデータ回路に対応するメモリセルでは、 $1.4V$ のチャネル電位と制御ゲートの V_{pp} の電位差によって、浮遊ゲートに電子が注入されしきい値が上昇する。“3”書き込みの場合のチャネル電位を $1.4V$ にしているのは、電子の注入量を“4”データ書き込みの場合よりも、少なくするためである。データ“1”又は“2”が保持されているデータ回路に対応するメモリセルでは、チャネル電位と制御ゲートの V_{pp} の電位差が小さいため、実効的には浮遊ゲートに電子は注入されない。よって、メモリセルのしきい値は変動しない。書き込み動作中、信号 $SAN1$ 、 $SAN2$ 、 $PREB$ 、 $BLCB$ は“H”、信号 $SAP1$ 、 $SAP2$ 、 $VRFYBA1C$ 、 $RV1A$ 、 $RV1B$ 、 $RV2B$ 、 $ECH1$ 、 $ECH2$ は“L”、電圧 V_B は $0V$ である。

【0222】(3) 下位ページのペリフェイリッド書き込み動作後、書き込みが充分に行なわれたかを検出する（書き込みペリフェイ）。もし、所望のしきい値に達していれば、フリップ・フロップ $FF1$ のノード $N3C$ を“H”に変更する。そして、所望のしきい値に達していなければ、データ回路のデータを保持して再度書き込み動作を行なう。書き込み動作と書き込みペリフェイ

は、全ての“3”書き込みするメモリセル及び“4”書き込みするメモリセルが所望のしきい値に達するまで繰り返される。このとき、ここでの書き込み動作と書き込みペリフェイの繰り返しに応じて、制御ゲート $CG2A$ への印加電圧 V_{pp} を段階的に増加させる。具体的には、例えば図58(b)に示されるようにステップアップ幅を $0.8V$ とし、 V_{pp} の値を初期値 $17.3V$ から $0.8V$ 刻みに大きくしていく。図18及び図64を用いて、この書き込みペリフェイ動作を説明する。まず、“3”書き込みするメモリセルが所定のしきい値に達しているかを検出する。まず時刻 t_{1ys} に、電圧 V_A 、 V_B がそれぞれ $1.8V$ 、 $1.5V$ となって、ビット線 BL_a 、 BL_b はそれぞれ $1.8V$ 、 $1.5V$ になる。信号 $BLCA$ 、 $BLCB$ が“L”となって、ビット線 BL_a とMOSキャパシタ Q_{d1} 、ビット線 BL_b とMOSキャパシタ Q_{d2} は切り離され、ビット線 BL_a 、 BL_b はフローティングとなる。信号 $PREA$ 、 $PREB$ が“L”となって、MOSキャパシタ Q_{d1} 、 Q_{d2} のゲート電極であるノード $N1$ 、 $N2$ はフローティング状態になる。続いて制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲート $CG2A$ は $1.4V$ 、非選択制御ゲート $CG1A$ 、 $CG3A$ 、 $CG4A$ と選択ゲート $SG1A$ 、 $SG2A$ は V_{cc} にされる。選択されたメモリセルのしきい値が $1.4V$ 以下なら、ビット線電圧は $1.4V$ より低くなる。選択されたメモリセルのしきい値が $1.4V$ 以上なら、ビット線電圧は $1.8V$ のままとなる。

【0223】時刻 t_{2ys} に、信号 $BLCA$ 、 $BLCB$ が“H”とされ、ビット線の電位が $N1$ 、 $N2$ に転送される。その後、信号 $BLCA$ 、 $BLCB$ が“L”となって、ビット線 BL_a とMOSキャパシタ Q_{d1} 、ビット線 BL_b とMOSキャパシタ Q_{d2} は切り離される。この後時刻 t_{3ys} に $VRFYBA1C$ が V_{cc} になり、“2”書き込みの場合及び“4”書き込みの場合には Q_{n20} が“ON”し、ノード $N1$ が $0V$ に放電される。時刻 t_{4ys} に信号 $VRFYBAC$ が“L”となると、“1”又は“2”書き込みデータが保持されているデータ回路では、 p チャネルMOSトランジスタ Q_{p120} が“ON”であり、ノード $N1$ は V_{cc} となる。その結果、ノード $N1$ は“1”書き込み又は“2”書き込みの場合には V_{cc} 、“4”書き込みの場合には $0V$ になる。

【0224】信号 $SAN1$ 、 $SAP1$ がそれぞれ“L”、“H”となってフリップ・フロップ $FF1$ が非活性化され、信号 $ECH1$ が“H”となってイコライズされる。この後、信号 $RV1A$ 、 $RV1B$ が“H”となる。再度、信号 $SAN1$ 、 $SAP1$ がそれぞれ“H”、“L”となることで、時刻 t_{5ys} にノード $N1$ の電圧がセンスされラッチされる。これで、“3”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが充分“3”書き込み状態となったか否かを検

出する。メモリセルのデータが“3”であれば、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“1”に変更される。メモリセルのデータが“3”でなければ、フリップ・フロップFF1でノードN2の電圧をセンスしラッチすることで書き込みデータは“3”に保持され以後、追加書き込みが行なわれる。“1”又は“2”又は“4”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。次に、選択された制御ゲートが2.8Vにされる。選択されたメモリセルのしきい値が2.8V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2.8V以上なら、ビット線電圧は1.8Vのままとなる。時刻t6ysにPREA, PREBがVccになりノードN1, N2が1.8V, 1.5Vになった後、フローティングになる。この後時刻t7ysに、信号BLCA, BLCBが“H”とされ、ビット線の電位がN1, N2に転送される。その後、信号BLCA, BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1, ビット線BLbとMOSキャパシタQd2は切り離される。

【0225】時刻t8ysに信号VRFYBACが“L”となると、“1”又は“2”書き込みデータが保持されているデータ回路及び、“3”書き込みが充分に行なわれたために“1”書き込みデータが保持されているデータ回路では、pチャネルMOSトランジスタQp12Cが“ON”であり、ノードN1はVccとなる。信号SAN1, SAP1がそれぞれ“L”, “H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A, RV1Bが“H”となる。再度、信号SAN1, SAP1がそれぞれ“H”, “L”となることで、時刻t9ysにノードN1の電圧がセンスされラッチされる。これで、“4”書き込みデータを保持しているデータ回路のみ、対応するメモリセルのデータが充分“4”書き込み状態となったか否かを検出する。メモリセルのデータが“4”であれば、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“2”に変更され、以後は書き込まれなくなる。メモリセルのデータが“4”でなければ、フリップ・フロップFF1でノードN1の電圧をセンスしラッチすることで書き込みデータは“4”に保持され以後、追加書き込みが行なわれる。“1”又は“2”又は“3”書き込みデータを保持しているデータ回路の書き込みデータは変更されない。

【0226】全ての選択されたメモリセルが所望のしきい値に達していれば、データ回路のノードN4Cが“L”になる。これを検出することにより、全ての選択されたメモリセルが所望のしきい値に達したか否かが分る。書き込み終了の検出は、例えば図18のように書き込み終了一括検知トランジスタQn5Cを用いればよい。

ベリファイリード後、まずVRTCを例えばVccにプリチャージする。書き込みが不十分なメモリセルが1つでもあると、そのデータ回路のノードN4Cは“H”なのでnチャネルMOSトランジスタQn5Cは“ON”し、VRTCはプリチャージ電位から低下する。全てのメモリセルが充分に書き込まれると、データ回路3-0, 3-1, ..., 3-m-1, 3-mのノードN4Cが全て“L”になる。その結果、全てのデータ回路内のnチャネルMOSトランジスタQn5Cが“OFF”になるのでVRTCはプリチャージ電位を保ち、書き込み終了が検知される。

【0227】<上位ページの読み出し動作>上位ページの読み出しは「“1”又は“3”か、或いは“2”又は“4”か」が読み出される。図65、図66に従って、読み出し動作を説明する。まず時刻t1RDに、電圧VA, VBがそれぞれ1.8V, 1.5Vとなって、ビット線BLa, BLbはそれぞれ1.8V, 1.5Vになる。信号BLCA, BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa, BLbはフローティングとなる。信号PREA, PREBが“L”となって、MOSキャパシタQd1, Qd2のゲート電極であるノードN1, N2はフローティング状態になる。続いて、制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲートCG2Aは1.1V、非選択制御ゲートCG1A, CG3A, CG4Aと選択ゲートSG1A, SG2AはVccにされる。選択されたメモリセルのしきい値が1.1V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1V以上なら、ビット線電圧は1.8Vのままとなる。この後、時刻t2RDに信号BLCA, BLCBが“H”となりビット線のデータがMOSキャパシタQd1, Qd2に転送される。その後、再度、信号BLCA, BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN2, SAP2がそれぞれ“L”, “H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A, RV2Bが“H”となる。時刻t3RDに再度、信号SAN2, SAP2がそれぞれ“H”, “L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“1”又は“2”か、或いは“3”又は“4”か」がフリップ・フロップFF2によってセンスされ、その情報はラッチされる。この時のフリップ・フロップFF2のノードN5C, N6Cは図32のようになる。

【0228】次に、選択された制御ゲートが2.5Vにされる。選択されたメモリセルのしきい値が2.5V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が2.5V以上なら、ビット

線電圧は1.8Vのままとなる。時刻 t_{4RD} に信号PREA, PREBが“H”となって、MOSキャパシタQd1, Qd2のゲート電極であるノードN1, N2はそれぞれ1.8V, 1.5Vになる。信号PREA, PREBが“L”となって、MOSキャパシタQd1, Qd2のゲート電極であるノードN1, N2はフローティング状態になる。この後、時刻 t_{5RD} に信号BLCA, BL CBが“H”とされる。再度、信号BLCA, BL CBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN1, SAP1がそれぞれ“L”, “H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A, RV1Bが“H”となる。時刻 t_{6RD} に再度、信号SAN1, SAP1がそれぞれ“H”, “L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“1”又は“2”又は“3”か、或いは“4”か」がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。この時のフリップフロップFF1, FF2のノードN3C, N5Cの電位は図33のようになる。

【0229】引き続き、図66のように読み出しが行なわれる。まず時刻 t_{7RD} に、電圧VA, VBがそれぞれ1.8V, 1.5Vとなって、ビット線BLa, BLbはそれぞれ1.8V, 1.5Vになる。信号BLCA, BL CBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa, BLbはフローティングとなる。信号PREA, PREBが“L”となって、MOSキャパシタQd1, Qd2のゲート電極であるノードN1, N2はフローティング状態になる。続いて、制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲートCG2Aは0V、非選択制御ゲートCG1A, CG3A, CG4Aと選択ゲートSG1A, SG2AはVccにされる。選択されたメモリセルのしきい値が0V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が0V以上なら、ビット線電圧は1.8Vのままとなる。この後、時刻 t_{8RD} に信号BLCA, BL CBが“H”となりビット線のデータがMOSキャパシタQd1, Qd2に転送される。その後、再度、信号BLCA, BL CBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。続いて、時刻 t_{9RD} にVRFYBA1Cが“H”になる。この時、フリップ・フロップFF2のノードN5Cが“H”なのは図33から分るように、“3”又は“4”読み出しの場合である。この場合、図18のnチャネルMOSTランジスタQn2Cが“ON”し、“3”又は“4”読み出しのノードN1は接地される。

【0230】続いて、時刻 t_{10RD} にVRFYBACが“L”になる。この時、フリップ・フロップFF1のノードN3Cが“H”、N4Cが“L”なのは図33から分るように、“4”読み出しの場合である。この場合、図18のpチャネルMOSTランジスタQp12Cが“ON”し、“4”読み出しのノードN1はVccになる。その後、信号SAN1, SAP1がそれぞれ“L”, “H”となってフリップ・フロップFF1が非活性化され、信号ECH1が“H”となってイコライズされる。この後、信号RV1A, RV1Bが“H”となる。時刻 t_{11RD} に再度、信号SAN1, SAP1がそれぞれ“H”, “L”となることで、ノードN1の電圧がセンスされラッチされる。これで、ノードN3C, N4Cの電位がフリップ・フロップFF1によってセンスされ、その情報はラッチされる。この時のフリップ・フロップFF1及びフリップ・フロップFF2のノードN3C, N4C, N5C, N6Cは図34のようになる。上位ページのデータはフリップ・フロップFF1のノードN3C, N4C（図34参照）に読み出されている。つまり、“1”状態及び“3”状態ではノードN3Cが“L”、N4Cが“H”になり、“2”状態及び“4”状態ではノードN3Cが“H”、N4Cが“L”になる。＜上位ページの書き込み＞で記したように上位ページのデータは「“1”又は“3”か、或いは“2”又は“4”か」を蓄えているが、この書き込みデータがフリップ・フロップFF1に正しく読み出されていることが分る。フリップ・フロップFF1に保持されたデータはCENB1が活性化されることにより、チップ外部に出力される。

【0231】＜下位ページの読み出し動作＞下位ページの読み出しでは「“1”又は“2”か、或いは“3”又は“4”か」が読み出される。図65に従って、読み出し動作を説明する。まず時刻 t_{1RD} に、電圧VA, VBがそれぞれ1.8V, 1.5Vとなって、ビット線BLa, BLbはそれぞれ1.8V, 1.5Vになる。信号BLCA, BL CBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離され、ビット線BLa, BLbはフローティングとなる。信号PREA, PREBが“L”となって、MOSキャパシタQd1, Qd2のゲート電極であるノードN1, N2はフローティング状態になる。続いて、制御ゲート・選択ゲート駆動回路2によって選択されたブロックの選択された制御ゲートCG2Aは1.1V、非選択制御ゲートCG1A, CG3A, CG4Aと選択ゲートSG1A, SG2AはVccにされる。選択されたメモリセルのしきい値が1.1V以下なら、ビット線電圧は1.5Vより低くなる。選択されたメモリセルのしきい値が1.1V以上なら、ビット線電圧は1.8Vのままとなる。この後、時刻 t_{2RD} に信号BLCA, BL CBが“H”となりビット線のデータがMOS

キャパシタQd1、Qd2に転送される。

【0232】その後、再度、信号BLCA、BLCBが“L”となって、ビット線BLaとMOSキャパシタQd1、ビット線BLbとMOSキャパシタQd2は切り離される。信号SAN2、SAP2がそれぞれ“L”、

“H”となってフリップ・フロップFF2が非活性化され、信号ECH2が“H”となってイコライズされる。この後、信号RV2A、RV2Bが“H”となる。時刻t3RDに再度、信号SAN2、SAP2がそれぞれ

“H”、“L”となることで、ノードN1の電圧がセンスされラッチされる。これで、「メモリセルのデータが“1”又は“2”か、或いは“3”又は“4”か」がフリップ・フロップFF2によってセンスされ、その情報はラッチされる。この時のフリップ・フロップFF2のノードN5C、N6Cは図32のようになる。

【0233】下位ページのデータはフリップ・フロップFF2のノードN5C、N6C(図32参照)に読み出されている。つまり、“1”状態及び“2”状態ではノードN5Cが“L”、N6Cが“H”になり、“3”状態及び“4”状態ではノードN5Cが“H”、N6Cが“L”になる。＜下位ページの書き込み＞で記したように下位ページのデータは「“1”又は“2”か、或いは“3”又は“4”か」を蓄えているが、この書き込みデータがフリップ・フロップFF2に正しく読み出されていることが分る。フリップ・フロップFF2に保持されたデータはCENB2が活性化されることにより、チップ外部に出力される。上記の説明から分るように、下位ページの読み出しは上位ページの読み出しの時刻t3RDまでの動作である。従って、例えば下位ページに引き続いて上位ページを読み出す場合には、まず下位ページを読み出した後に、下位ページのデータをチップ外部に出力している間に、引き続き、上位ページのデータを読み出してもよい。つまり、時刻t3RDに下位ページのデータがフリップ・フロップFF2にラッチされ、チップ外部に出力されるのと同時に、＜上位ページの読み出し＞で記した図65及び図66の時刻t3RD以降の動作を行なう。これにより、見かけ上、上位ページの読み出しを高速に行なうことができる。

【0234】〔第8の実施形態〕本実施形態では、装置内の全メモリセルで上位ページの書き込み動作が終了した後、下位ページの書き込み動作が開始されることを特徴としている。図67は、本実施形態におけるメモリセルアレイを示している。ここでは、メモリセルアレイは4値セルからなり、1メモリセル当り2ビットの情報を記憶することができるものとする。メモリセルは、カラム方向及びロウ方向にそれぞれ4000個ずつ並んでおり、全部で16M(16×10⁶)個のメモリセルがマトリックス状に集積されている。1メモリセルには、2ビットの情報の記憶が可能であるので、メモリセルアレイに記憶できる全容量は32Mビットである。カラムア

ドレスはそれぞれのビット線に対応し、例えばビット線BL1にはカラムアドレスC1、ビット線BL2にはカラムアドレスC2が対応する。一方ロウアドレスは、1本のワード線につき上位ページ及び下位ページの2つのアドレスが対応する。例えば、ワード線WL1にはロウアドレスQ1U、Q1Lが対応し、ワード線WL2にはロウアドレスQ2U、Q2Lが対応する。なお図67中のロウアドレスにおけるU、Lは、それぞれ上位ページ及び下位ページを表している。

【0235】図68に、書き込みのページサイズを同様にした場合の従来の4値セルからなるメモリセルアレイを示す。ここでは、同時に書き込みを行なう1ページ中のビット数が4000ビットである一方、1メモリセルに対し2ビットを上位ビット及び下位ビットの2つに分けることなく同時に書き込むので、カラム方向には2000個のメモリセルが並べられる。換言すれば、ビット線の本数は2000本である。一方、全容量が図67に示したメモリセルと同様32Mビットとなるためには、ロウ方向に8000個のメモリセルが並べられる。このようなメモリセルアレイでは、カラムアドレスについては1本のビット線にそれぞれ2ビットが対応し、例えばビット線BL1にA1、A2、ビット線BL2にはA3、A4が対応する。またロウアドレスに関しては、例えばワード線WL1にR1、ワード線WL2にR2が対応する。次に、これらメモリセルアレイへの書き込みについて説明する。まず本実施形態においては、1ページ分のメモリセルへ上位ビットのデータをほぼ同時に書き込む上位ページの書き込み動作が各ロウアドレスに対して順次行なわれた後、1ページ分のメモリセルへ下位ビットのデータをほぼ同時に書き込む下位ページの書き込み動作が行なわれる。すなわち、最初の4000ビットのデータが図67のアドレスQ1Uと対応したワード線WL1を共有する4000個のメモリセルに書き込まれ、次の4000ビットのデータがアドレスQ2Uと対応したワード線WL2を共有する4000個のメモリセルに書き込まれ、さらにアドレスQ3U～Q4000Uと対応したワード線WL3～WL4000を共有するメモリセルに4000ビットのデータが順次書き込まれる。

【0236】一方図68に示されるメモリセルアレイでは、ワード線WL1を共有する2000個のメモリセルにそれぞれ2ビットのデータを書き込むことで、最初の4000ビットのデータが書き込まれる。従って、最初の4000ビットのデータの書き込みに当り、ワード線WL1を共有する2000個のメモリセルへの上位ページの書き込み動作及び下位ページの書き込み動作が行なわれる。さらに、次の4000ビットのデータの書き込みについては、ワード線WL2を共有する2000個のメモリセルにそれぞれ2ビットのデータが書き込まれる。

【0237】ここで図69に、上位ページの書き込み動

作の際消去状態の“1”状態であるメモリセルに対し“2”状態が書き込まれ、下位ページの書き込み動作でさらにメモリセルが“4”状態に書き込まれる場合を想定する。本実施形態においては、メモリセルアレイの全容量の半分に相当する16Mビットのデータが書き込まれたときに、全てのメモリセルで上位ページの書き込み動作が終了し、図69(a)に示されるように全メモリセルが“2”状態となる。これに対し、図68に示されるメモリセルアレイに同様に16Mビットのデータが書き込まれると、図69(b)に示される通り全メモリセルの半分が“4”状態、残りの半分が“1”状態となる。従って図69(a)では、しきい値レベルが高く浮遊ゲート中の蓄積電荷のリークによるデータの破壊が生じやすい“4”状態が書き込まれていないことから、メモリセルの寿命が改善されて信頼性が向上する。さらに、実際に電氣的書き換え可能な不揮発性半導体記憶装置をメモリカード等に使用する場合には、garbage collection等行なう観点から記憶部の全容量は用いず、記憶領域は例えば全体の70%程度とし、残る30%は空き領域とするのが一般的である(公知例 N. Nijima ; IBM J. DEVELOP. VOL. 39 No. 5 pp.531 -545 995)。このようにメモリセルアレイの全容量の70%分のデータを書き込む場合を、図70に示す。

【0238】図70(a)に示される通り本実施形態では、“1”状態であるメモリセルに対し“2”状態を書き込み“2”状態のメモリセルに“4”状態を書き込む動作を全容量の70%で行なうと、60%のメモリセルが“2”状態、40%のメモリセルが“4”状態となる。一方、図68に示されるメモリセルアレイの全容量の70%に同様のデータを書き込むと、図70(b)に示されるように70%のメモリセルに“4”状態が書き込まれ、30%のメモリセルに消去状態である“1”状態が保持される。従って本実施形態において、しきい値レベルの高い“4”状態が書き込まれるメモリセルの数は、図68に示されるメモリセルアレイに比べ4/7に低減され、ひいてはメモリセルにおけるデータの破壊が発生する確率は約57%程度まで減少する。またここでは、ワード線WL1、WL2、WL3~WL4000の順にデータの書き込みを行なう場合を説明したが、書き込みの順番はこれに限るものではない。例えば、フラッシュメモリ等の半導体記憶装置のチップ内のメモリセルが、均等にしきい値レベルの高い“4”状態となるように、チップ外部のコントローラで書き込みの順番を制御してもよい。具体的には、1本のワード線を共有してほぼ同時に書き込みが行なわれる4000個のメモリセルからなる各ページ毎、下位ページの書き込み動作が行なわれた回数を記憶させ、この回数に基づき書き込み動作を行なうページ順を決定する。本実施形態においては、こうして各ページに属するメモリセルの書き込み回数を均一化することで、特定のページのメモリセルにおける

集中的な劣化の進行を抑えることができ、信頼性が向上する。なおここでの書き込み回数を記憶する領域は、例えばデータ領域とは別にワード線上に設けておけばよい。すなわち、1本のワード線を共有するメモリセルを例えば522バイトとして、そのうち512バイトをデータ領域、10バイトをこうした書き込み回数やECC(Error Correcting Code)を記憶する領域とすればよい。

【0239】[第9の実施形態]本実施形態では、本発明の半導体記憶装置を記憶部とした記憶システムが構成される。図71が本実施形態の記憶システムの構成を示す図であり、図示されるようにコントローラ100が複数のチップ101_q(qは自然数)の動作を制御する。また複数のチップ101_qは、例えばそれぞれ図67と同様のメモリセルアレイを備えるものであり、ここではコントローラ100が4つのチップ101₁~101₄の動作を制御する場合を示している。本実施形態では、記憶システムの記憶部を成す全ての装置内の全メモリセルで上位ページの書き込み動作が終了した後、下位ページの書き込み動作が開始されることを特徴としている。以下第8の実施形態と同様、上位ページの書き込み動作の際消去状態の“1”状態であるメモリセルに対し

“2”状態が書き込まれ、下位ページの書き込み動作でさらにメモリセルが“4”状態に書き込まれる場合について説明する。まず記憶部の全容量の半分だけ書き込みを行なったときの状態を示す図が図72である。図示される通り、全てのチップ101₁~101₄内の全メモリセルのしきい値レベルが“2”状態となっている。

【0240】さらに、記憶部の全容量の70%分書き込みを行なったときの状態を図73に示す。この状態では第8の実施形態で説明したように、全メモリセル中60%のメモリセルが“2”状態、40%のメモリセルが“4”状態となるが、本実施形態においては第1のチップA101₁の全メモリセルと第2のチップB101₂の80%のメモリセルが“4”書き込みされ、第2のチップB101₂の20%のメモリセルと第3のチップC101₃及び第4のチップD101₄の全メモリセルが“2”書き込みされる。従って本実施形態でも、しきい値レベルの高い“4”状態が書き込まれるメモリセルの数を低減することができ、ひいては信頼性が向上する。またここでは、第1のチップA101₁のワード線WL1~WL4000、第2のチップB101₂のワード線WL1~WL4000、第3のチップC101₃のワード線WL1~WL4000、第4のチップD101₄のワード線WL1~WL4000の順にデータの書き込みを行なう場合を説明したが、書き込みの順番はこれに限るものではない。例えば、チップ101₁~101₄内のメモリセルが、均等にしきい値レベルの高い“4”状態となるように、コントローラ100で書き込みの順番を制御してもよい。具体的には、第8の実施形態と同

様、1本のワード線を共有してほぼ同時に書き込みが行なわれる4000個のメモリセルからなる各ページ毎、下位ページの書き込み動作が行なわれた回数を記憶させ、この回数に基づき書き込み順をページ単位で決定してもよいし、チップ101₁～101₄毎に下位ページの書き込み動作が行なわれた回数を記憶させ、この回数に基づき書き込み順をチップ101₁～101₄単位で決定しても構わない。

【0241】本実施形態においては、こうして各ページ又は各チップ101₁～101₄に属するメモリセルの書き込み回数を均一化することで、特定のページや装置のメモリセルにおける集中的な劣化の進行を抑えることができ、信頼性が向上する。なおここでの書き込み回数を記憶する領域は、例えば第8の実施形態と同様にデータ領域とは別にワード線上に設けておけばよく、1本のワード線を共有するメモリセルを例えば522バイトとして、そのうち512バイトをデータ領域、10バイトをこうした書き込み回数やECCを記憶する領域とすればよい。

【0242】

【発明の効果】以上説明したように本発明によれば、多値記憶の半導体記憶装置におけるデータ書き込み動作を工夫することにより、従来よりも書き込み回路が簡略化され、書き込みに要する時間を短縮することができ、さらには信頼性の向上も可能となる。

【図面の簡単な説明】

【図1】第1の実施形態におけるメモリセルとアドレスとの対応を示す図

【図2】第1の実施形態における上位ページの書き込みを示す図

【図3】第1の実施形態における書き込み動作を説明するための図

【図4】第1の実施形態における下位ページの書き込みを示す図

【図5】第1の実施形態における読み出し動作を説明するための図

【図6】第1の実施形態における別の書き込み動作を説明するための図

【図7】第1の実施形態に係わる多値半導体記憶装置のブロック図

【図8】第1の実施形態における書き込み動作を説明する図

【図9】第1の実施形態における読み出し動作を説明する図

【図10】第1の実施形態におけるメモリセルユニットの一例を示す図

【図11】メモリセルユニットの別の例を示す図

【図12】メモリセルユニットの別の例を示す図

【図13】メモリセルユニットの別の例を示す図

【図14】第1の実施形態におけるメモリセルアレイと

データ回路の構成を示す図

【図15】第1の実施形態におけるメモリセルのしきい値分布を示す図

【図16】第2の実施形態におけるデータ回路の構成を示す図

【図17】第2の実施形態における読み出し動作を示す図

【図18】本発明におけるデータ回路の具体的構成を示す図

【図19】第2の実施形態の上位ページの書き込みデータを示す図

【図20】第2の実施形態の上位ページの書き込み動作を示す図

【図21】第2の実施形態の上位ページのベリファイリード動作を示す図

【図22】第2の実施形態の下位ページ書き込み前の、上位ページの読み出し、及びデータ反転を説明する図

【図23】第2の実施形態の下位ページ書き込み前の、上位ページの読み出し、及びデータ反転を説明する図

【図24】第2の実施形態の下位ページの書き込みデータを示す図

【図25】第2の実施形態の下位ページ書き込み時のデータ回路のノードを示す図

【図26】第2の実施形態の下位ページの書き込み動作を説明する図

【図27】第2の実施形態の別のデータ回路を示す図

【図28】第2の実施形態の下位ページの別の書き込み方を説明する図

【図29】第2の実施形態の下位ページのベリファイリードを説明する図

【図30】第2の実施形態の読み出し動作を説明する図

【図31】第2の実施形態の読み出し動作を説明する図

【図32】第2の実施形態の読み出し中のフリップ・フロップFF2のノードを示す図

【図33】第2の実施形態の読み出し中のデータ回路のノードを示す図

【図34】第2の実施形態の読み出しデータを示す図

【図35】第3の実施形態の下位ページの書き込み時のデータ回路のノードを示す図

【図36】第3の実施形態の下位ページの書き込み動作を示す図

【図37】第3の実施形態の下位ページのベリファイリード動作を示す図

【図38】第4の実施形態の上位ページの書き込みデータを示す図

【図39】第4の実施形態の上位ページのベリファイリードを示す図

【図40】第4の実施形態の下位ページの書き込みデータを示す図

【図41】第4の実施形態の下位ページ書き込み時のデ

ータ回路のノードを示す図

【図42】第4の実施形態の下位ページの書き込みを示す図

【図43】第4の実施形態の下位ページのペリフェイリードを示す図

【図44】第4の実施形態の下位ページの別の書き込みを示す図

【図45】第4の実施形態の下位ページの別のペリフェイリードを示す図

【図46】第5の実施形態における4値セルの書き込み動作を示す図

【図47】第5の実施形態における4値セルのデータ回路の構成を示す図

【図48】第5の実施形態における8値セルの書き込み動作を示す図

【図49】第5の実施形態における4値セルのデータ回路の構成を示す図

【図50】第5の実施形態における16値セルの書き込み動作を示す図

【図51】第5の実施形態における16値セルのデータ回路の構成を示す図

【図52】第5の実施形態における2^m値セルの書き込み動作を示す図

【図53】第5の実施形態における2^m値セルのデータ回路の構成を示す図

【図54】第6の実施形態における書き込み動作手順を示す図

【図55】第6の実施形態におけるメモリセルのしきい値分布との比較を示す図

【図56】第6の実施形態におけるメモリセルに供給されるパルスの波形との比較を示す図

【図57】第6の実施形態におけるメモリセルのしきい値分布を示す図

【図58】第6の実施形態におけるメモリセルに供給されるパルスの波形を示す図

【図59】第6の実施形態におけるメモリセルに供給されるパルスの波形を示す図

【図60】第6の実施形態におけるメモリセルのしきい値分布を示す図

【図61】第6の実施形態におけるメモリセルのしきい値分布を示す図

【図62】第6の実施形態におけるメモリセルのしきい値分布を示す図

【図63】第7の実施形態におけるメモリセルのしきい値分布を示す図。

【図64】第7の実施形態の下位ページのペリフェイリードを説明する図

【図65】第7の実施形態の読み出し動作を説明する図

【図66】第7の実施形態の読み出し動作を説明する図

【図67】第8の実施形態におけるメモリセルアレイを示す図

【図68】従来の4値セルからなるメモリセルアレイを示す図

【図69】“1”状態であるメモリセルに対し“2”状態及び“4”状態が書き込まれた状態を示す図

【図70】メモリセルアレイの全容量の70%を書き込む場合を示す図

【図71】第9の実施形態の記憶システムの構成を示す図

【図72】第9の実施形態における記憶部の全容量の半分だけ書き込みを行なったときの状態を示す図

【図73】第9の実施形態における記憶部の全容量の70%分書き込みを行なったときの状態を示す図

【図74】(a)はNAND型EEPROMにおける一つのNANDセルを示す平面図、(b)は回路図

【図75】(a)は図71(a)に示したNANDセルのA-A'線断面図、(b)はB-B'線断面図

【図76】NANDセルのメモリセルアレイを示す回路図

【図77】従来のメモリセルのしきい値電圧と4値データとの関係を示す図。

【図78】従来のメモリセルの書き込み動作を示す図

【図79】従来のメモリセルとアドレスの対応を示す図

【符号の説明】

1…メモリセルアレイ

2…制御ゲート・選択ゲート駆動回路

3…データ回路

4…データ入出力バッファ

5…アドレスバッファ

6…データ制御回路

100…コントローラ

101_q…チップ

M…メモリセル

S…選択トランジスタ

SG…選択ゲート

CG…制御ゲート

BL…ビット線

Q_n…nチャネルMOSトランジスタ

Q_p…pチャネルMOSトランジスタ

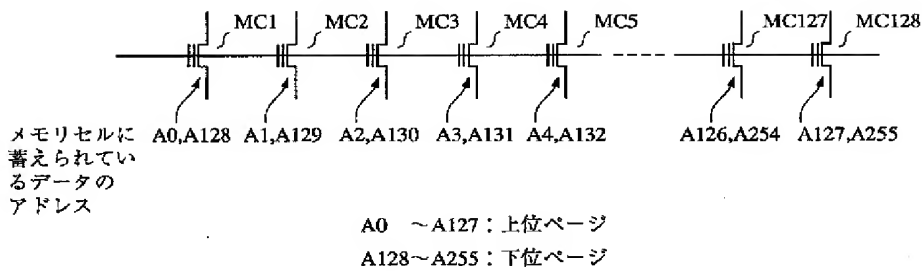
Q_d…ディプリーション型nチャネルMOSトランジスタ

FF…フリップ・フロップ

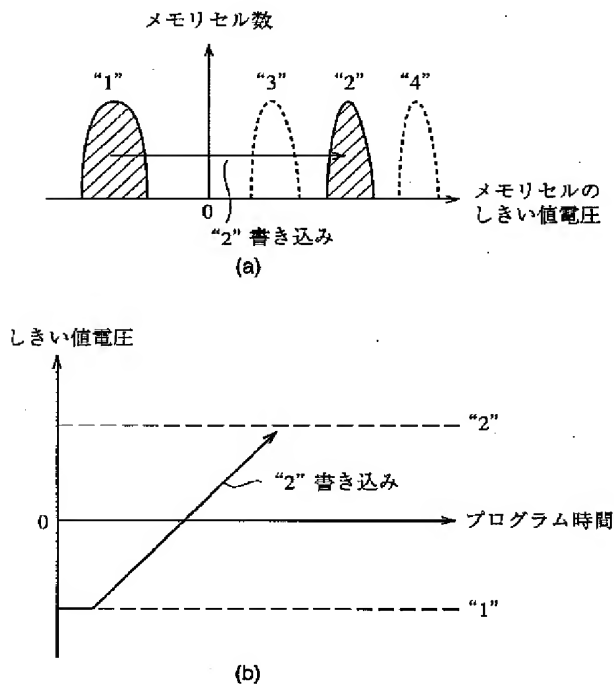
I…インバータ

G…NAND論理回路

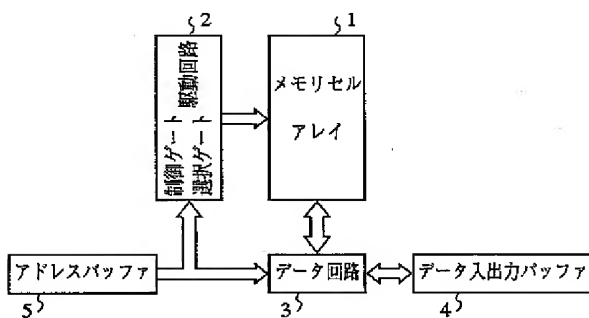
【図1】



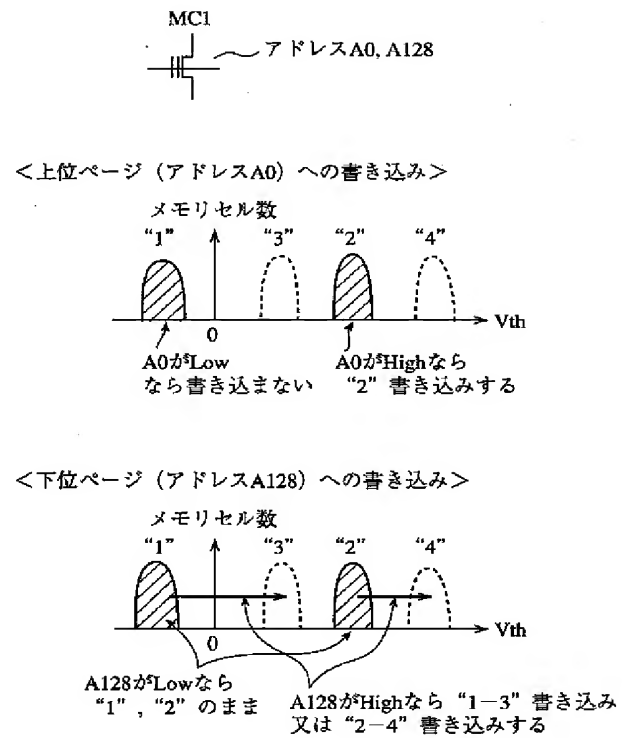
【図2】



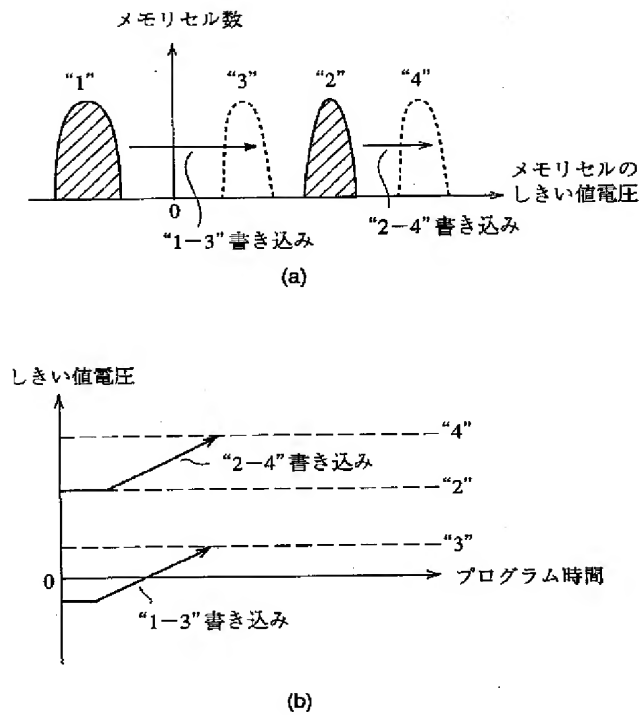
【図7】



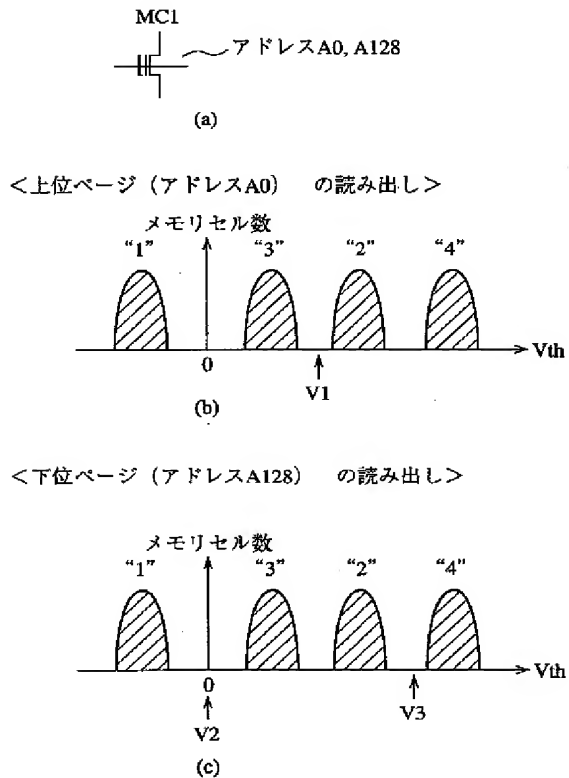
【図3】



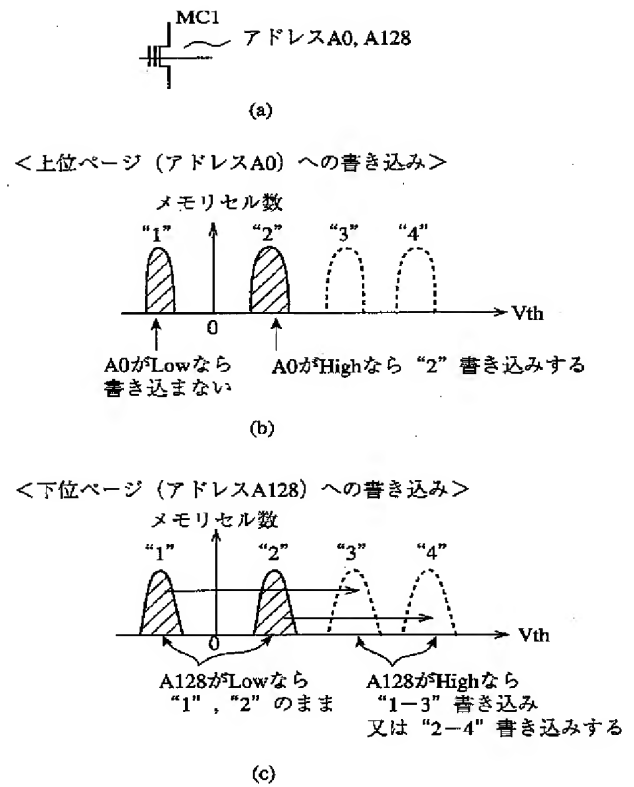
【図4】



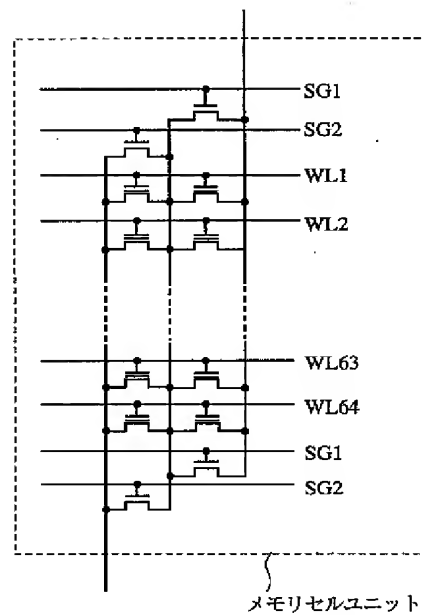
【図5】



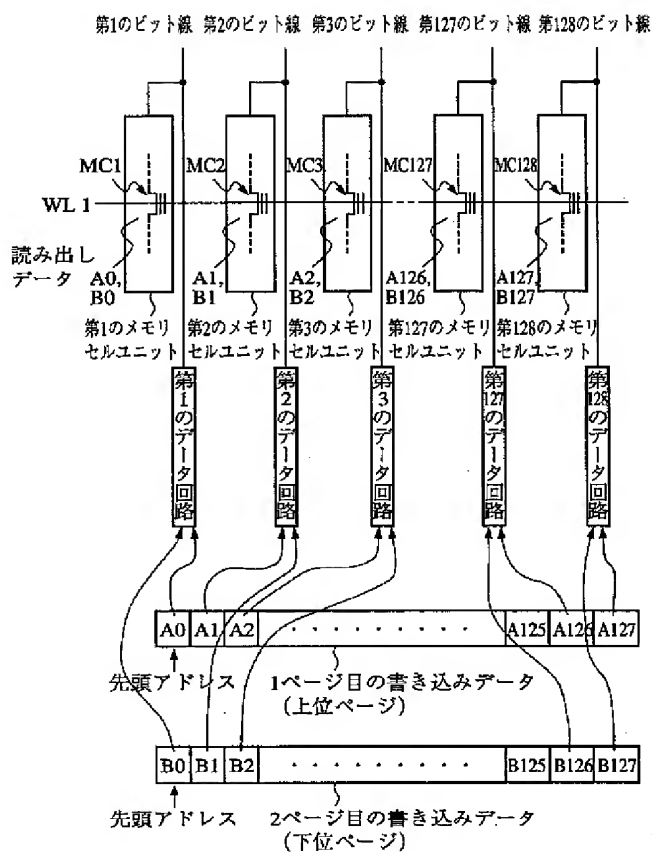
【図6】



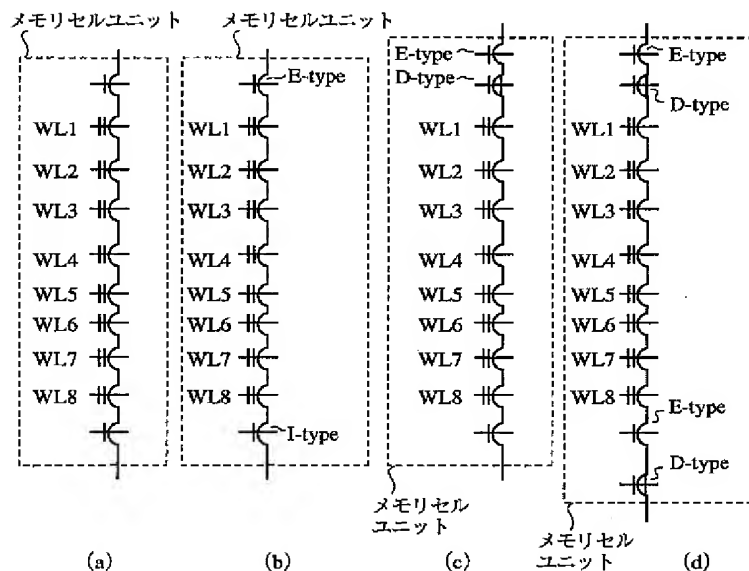
【図13】



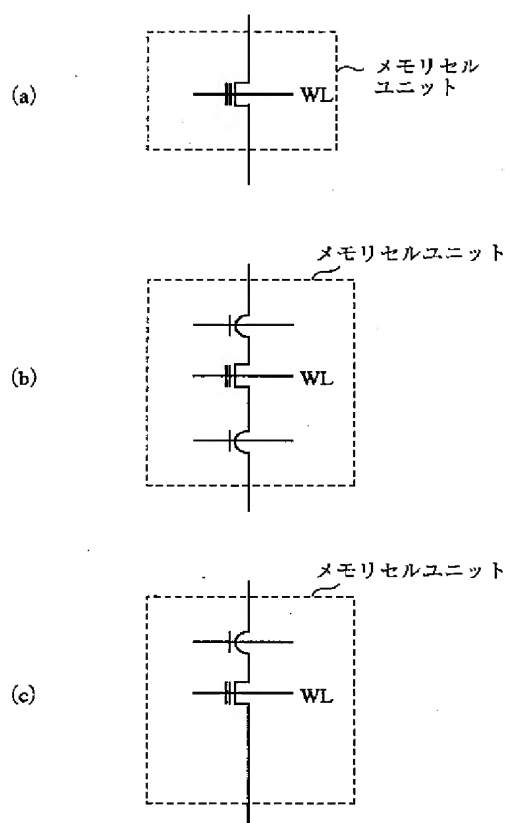
【図8】



【図10】



【図11】



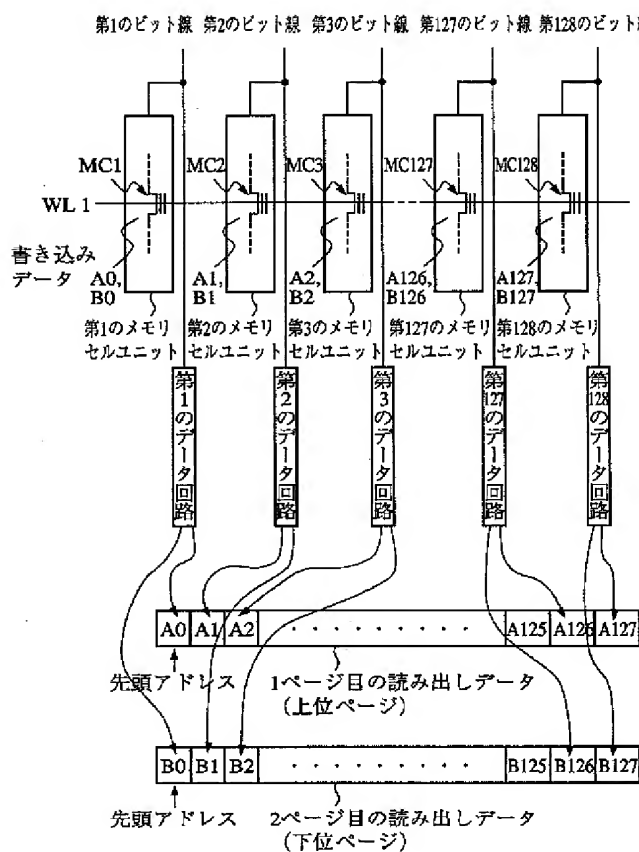
【図32】

	"1"	"2"	"3"	"4"
N5C	L	L	H	H
N6C	H	H	L	L

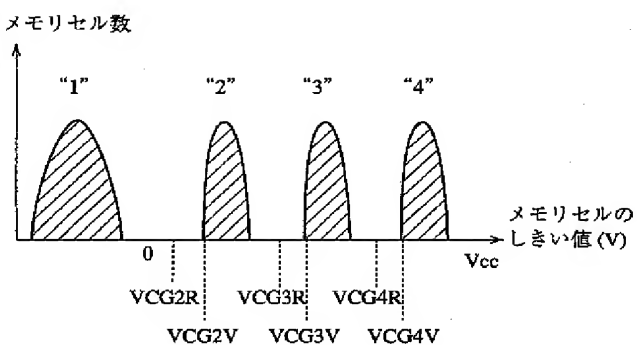
【図33】

	"1"	"2"	"3"	"4"
N3C	L	L	L	H
N5C	L	L	H	H

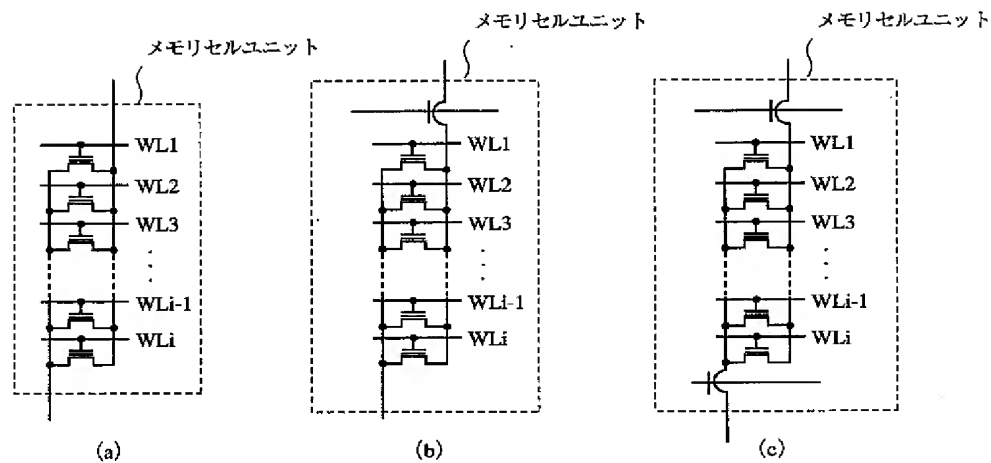
【図9】



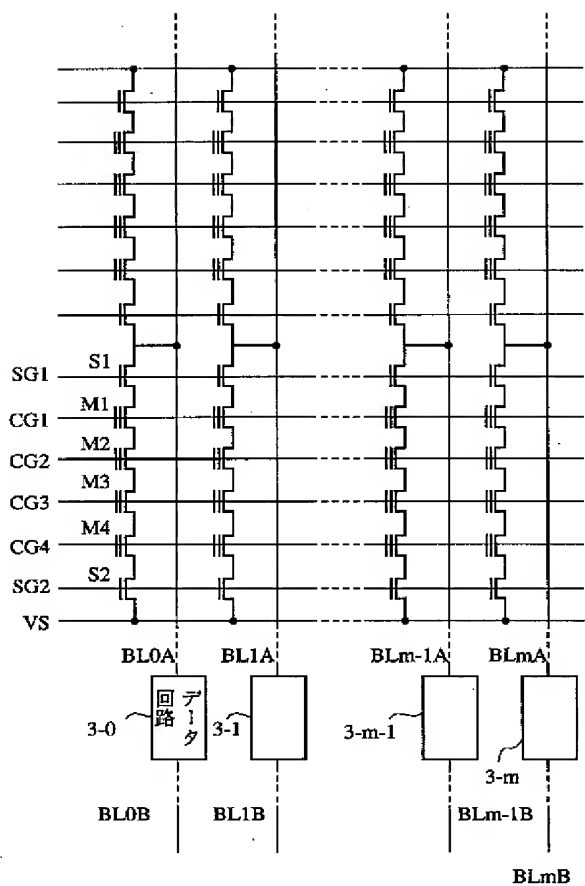
【図15】



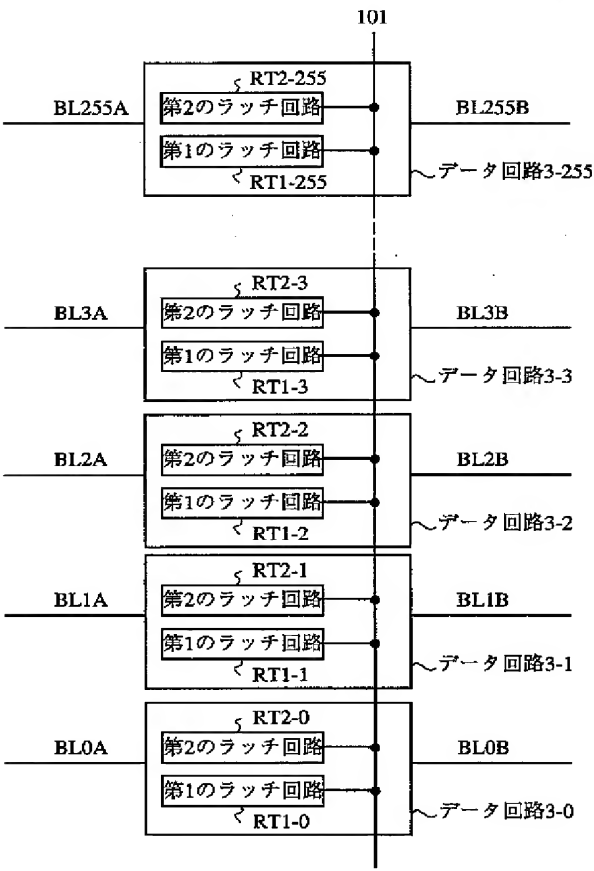
【図12】



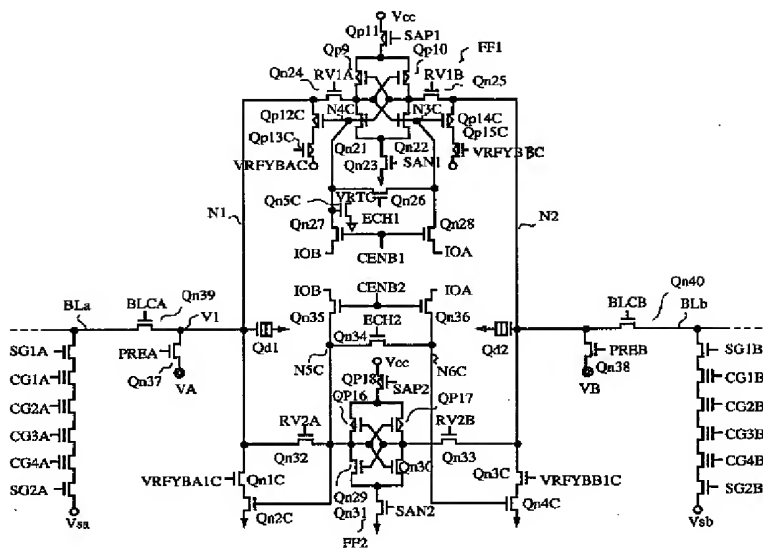
【図14】



【図16】



【図18】

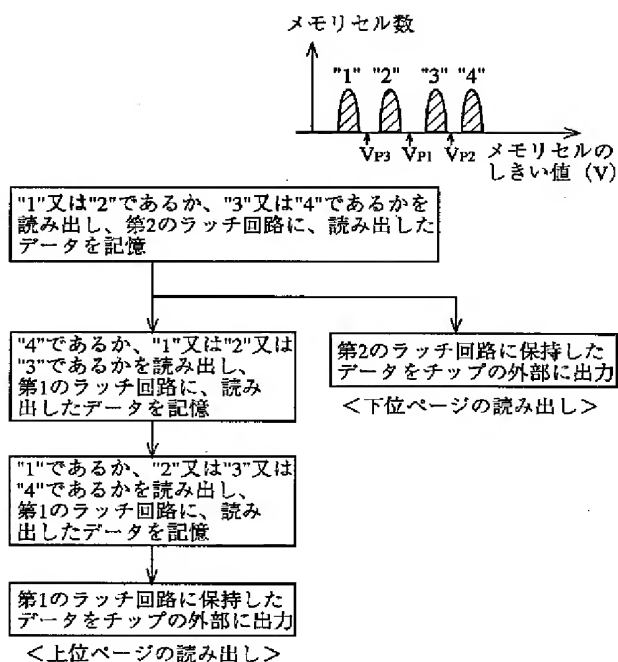


【図34】

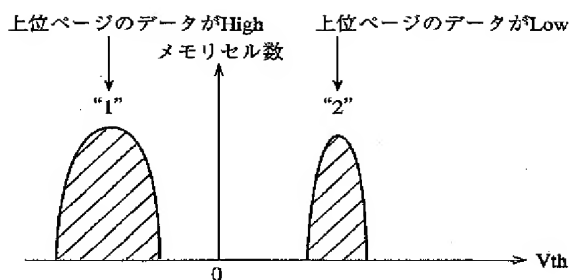
	"1"	"2"	"3"	"4"
N3C	L	H	L	H
N4C	H	L	H	L
N5C	L	L	H	H
N6C	H	H	L	L

読み出しデータ

【図17】



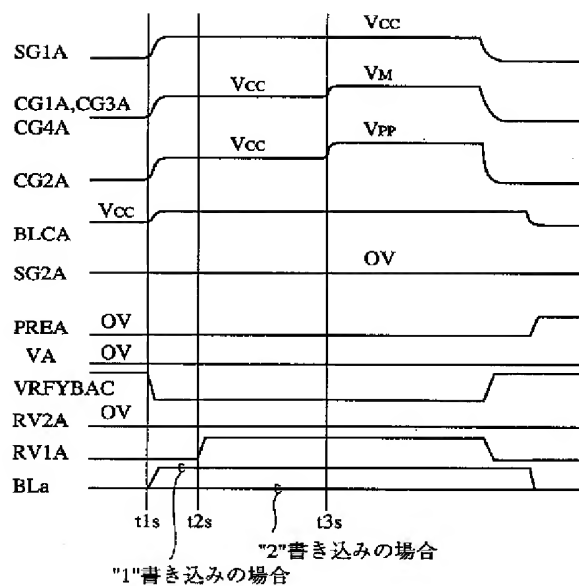
【図19】



	入力データーが Low	入力データーが High
N3C	L	H
N4C	H	L

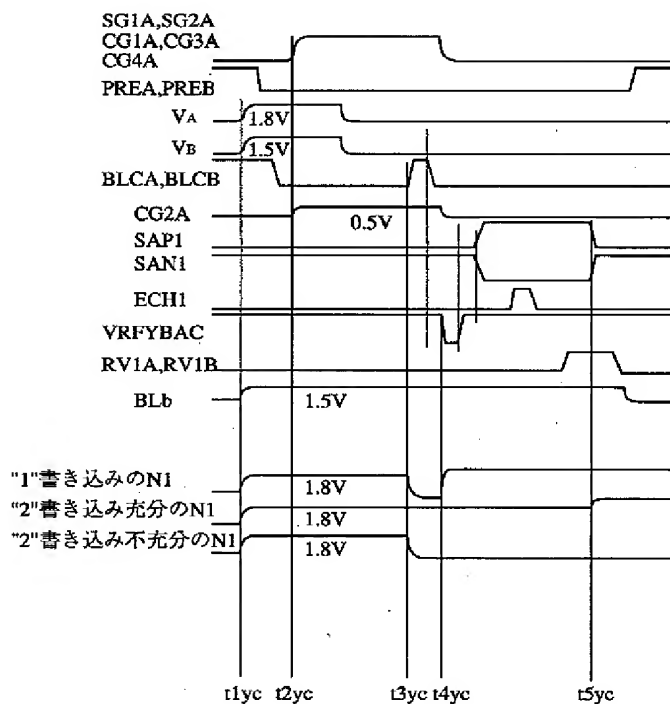
上位ページの書き込みデータ

【図20】



上位ページの書き込み

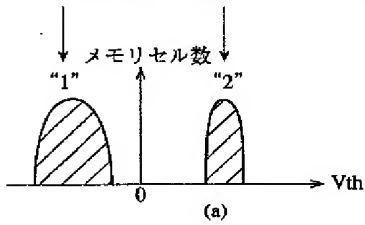
【図21】



上位ページのバイファイリッド

【図22】

上位ページのデータがHigh 上位ページのデータがLow



	上位ページのデータがHigh "1"	上位ページのデータがLow "2"
N5C	L	H
N6C	H	L

下位ページ書き込み前に読み出した上位ページのデータ

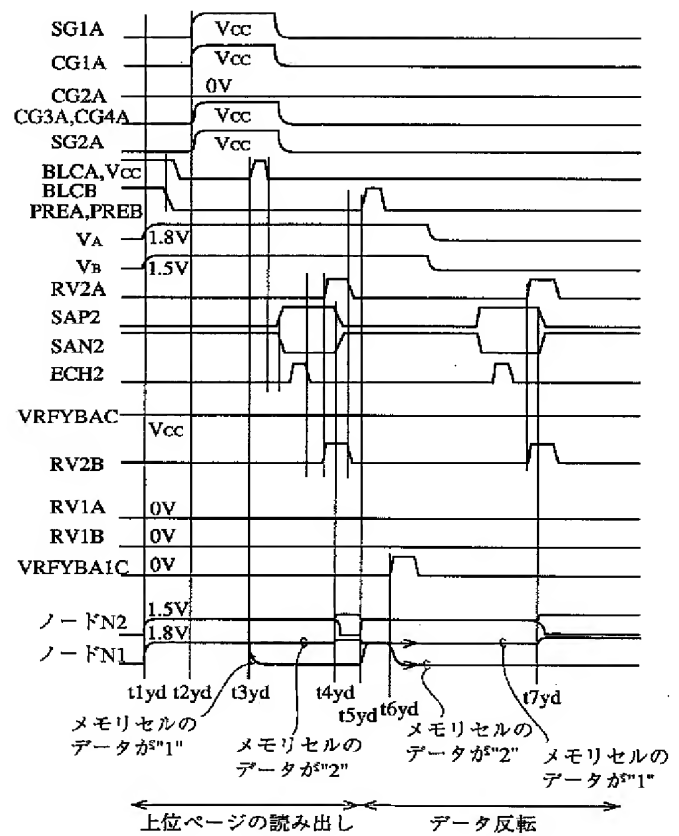
(b)

	上位ページのデータがHigh "1"	上位ページのデータがLow "2"
N5C	H	L
N6C	L	H

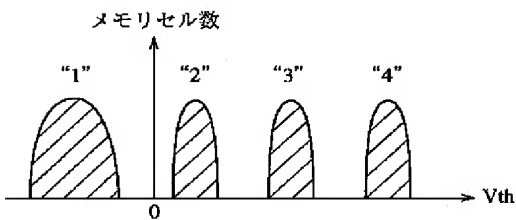
データ反転後のデータ回路のデータ

(c)

【図23】



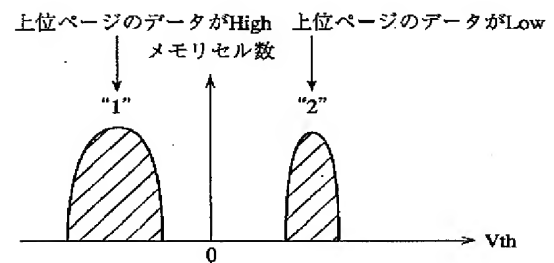
【図25】



	上位ページはHigh 下位ページはHigh	上位ページはLow 下位ページはHigh	上位ページはHigh 下位ページはLow	上位ページはLow 下位ページはLow
N3C	H	H	L	L
N4C	L	L	H	H
N5C	H	L	H	L
N6C	L	H	L	H

下位ページの書き込み時のデータ回路のノード

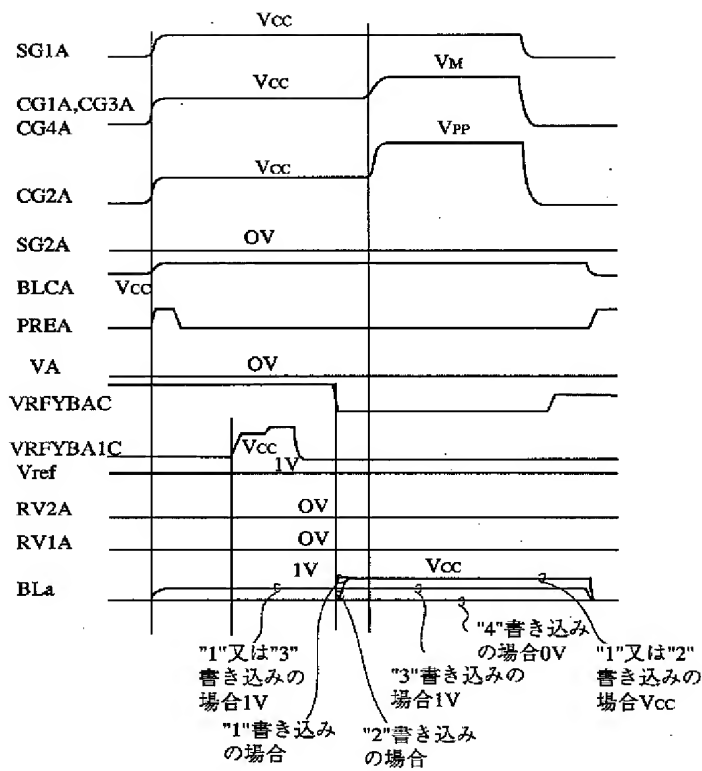
【図38】



	入力データがLow	入力データがHigh
N3C	L	H
N4C	H	L

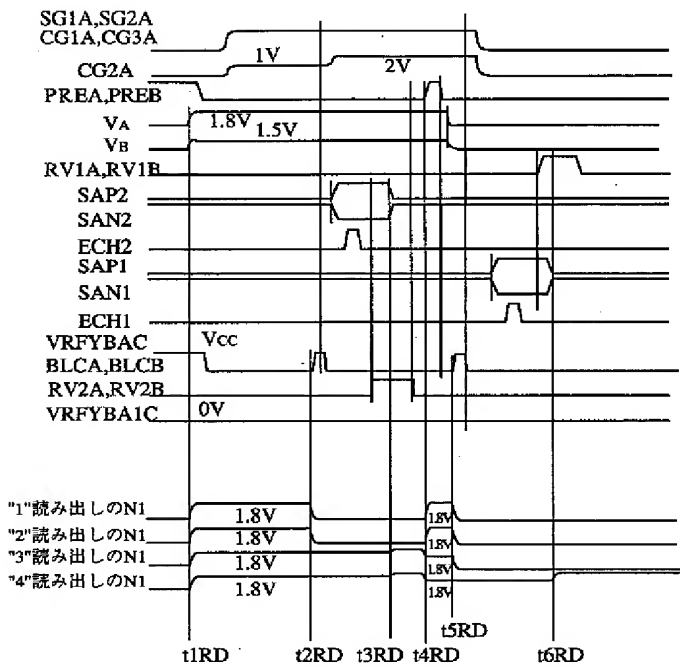
上位ページの書き込みデータ

【図28】

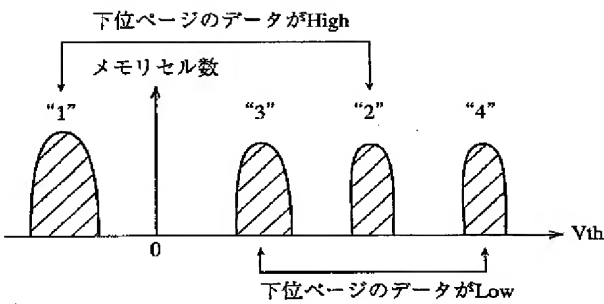


下位ページの別の書き込み方

【図30】

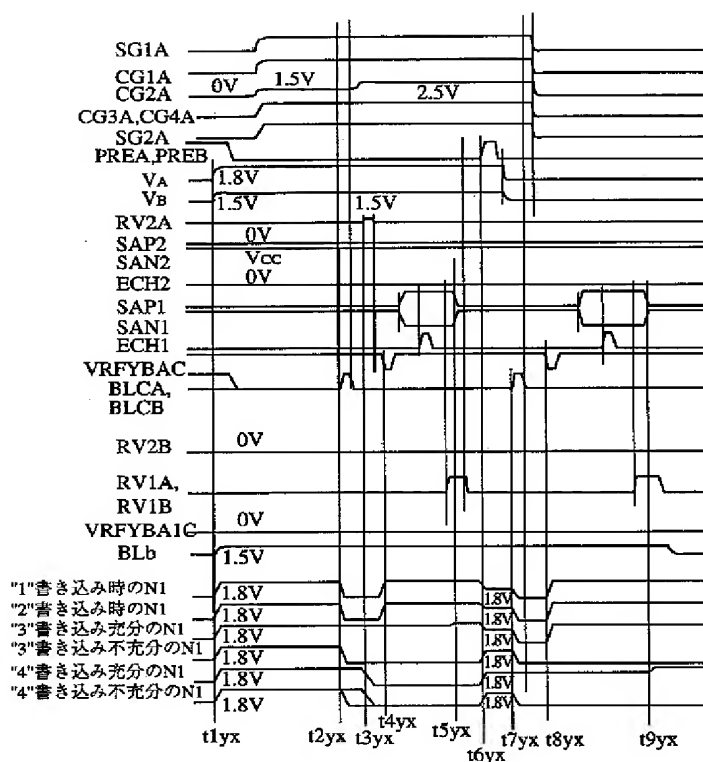


【図40】



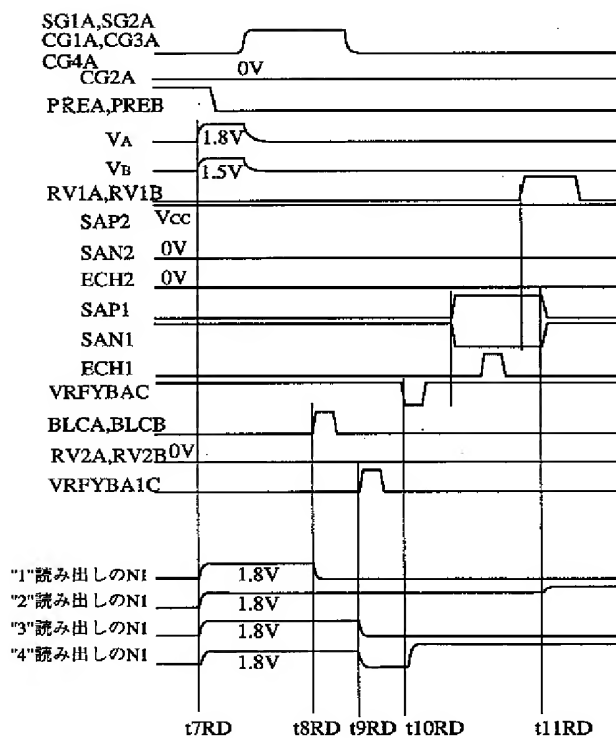
	下位ページの 入力データが Low	下位ページの 入力データが High
N3C	L	H
N4C	H	L

【図29】

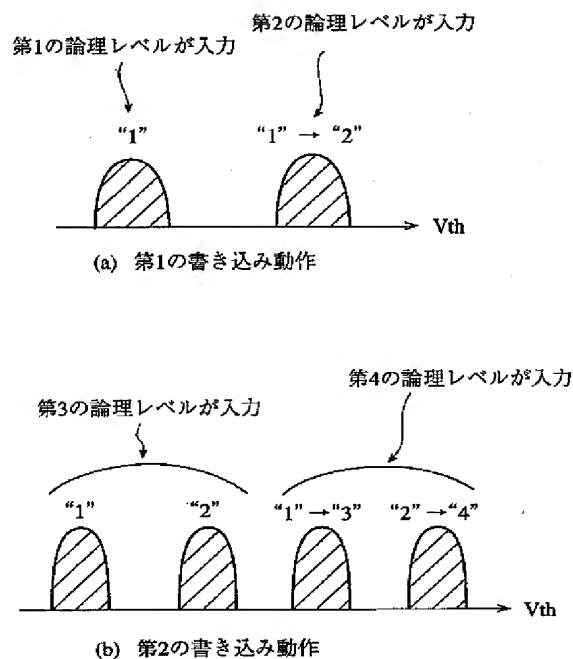


下位ページのベリファイリード

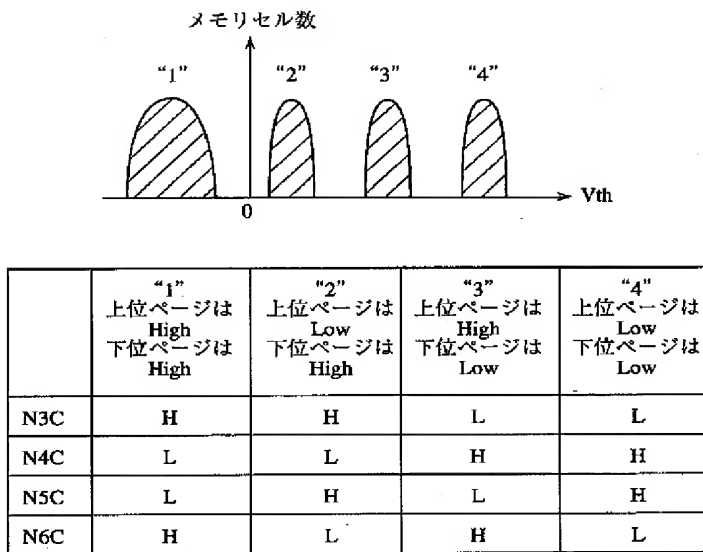
【図31】



【図46】

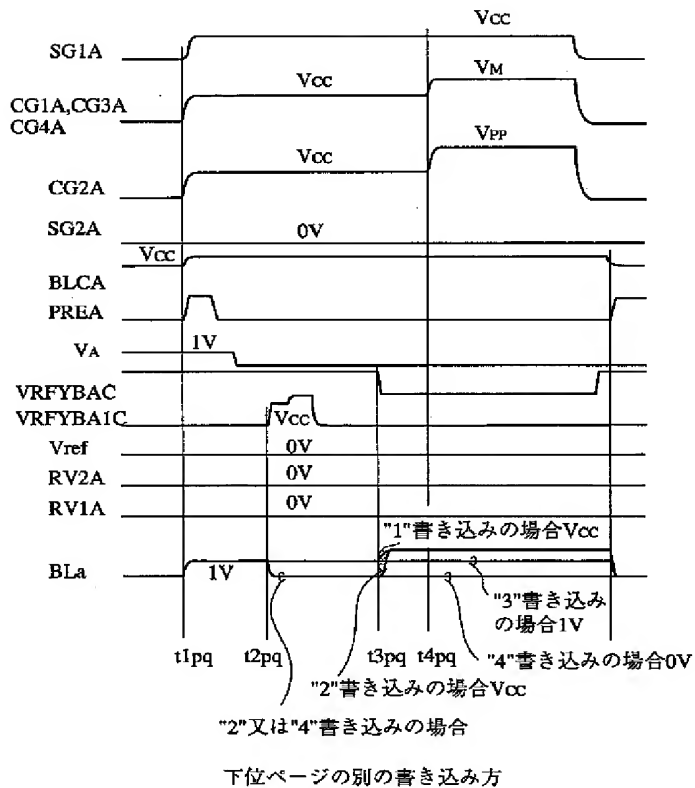


【図35】

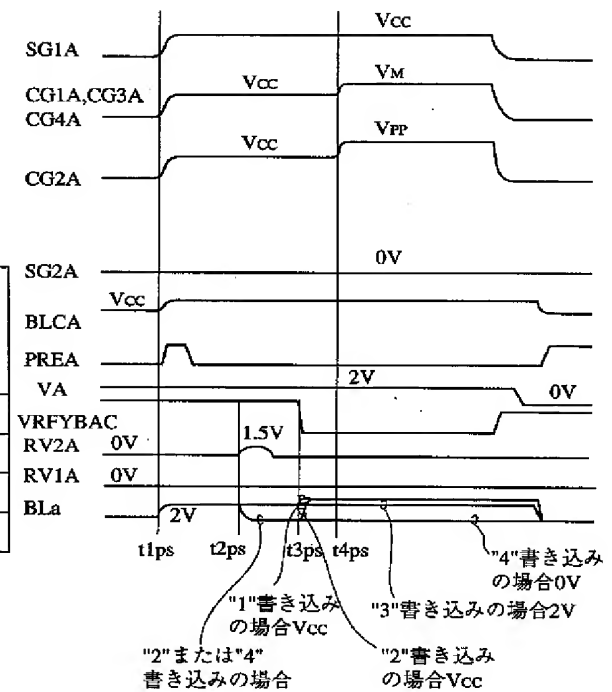


下位ページの書き込み時のデータ回路のノード

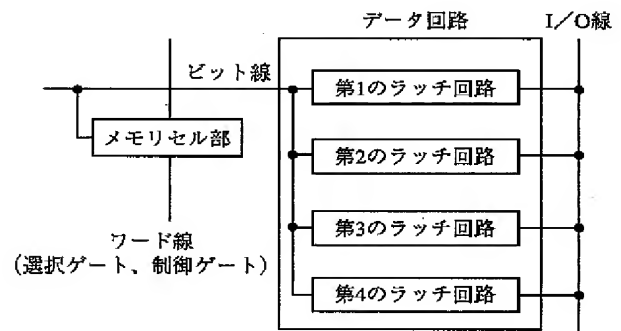
【図36】



【図42】

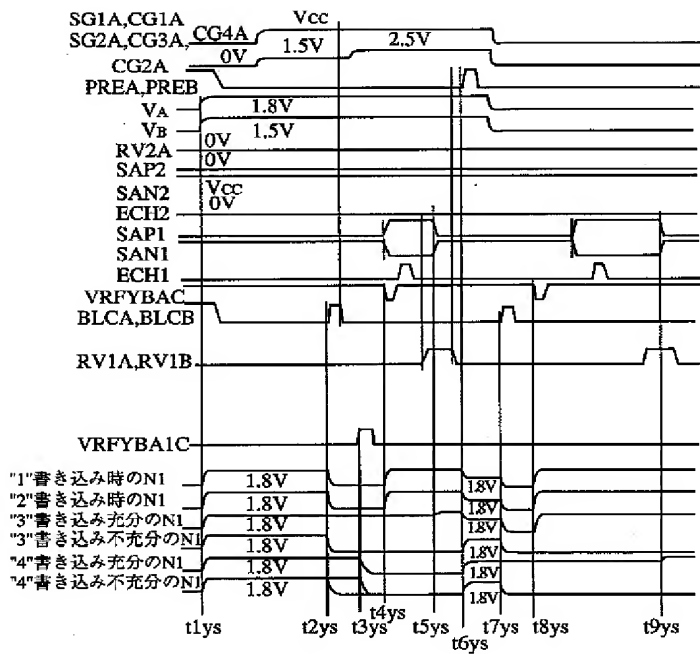


【図51】



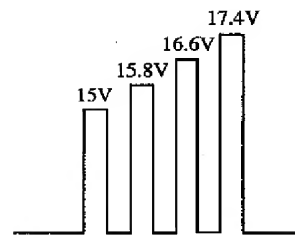
- 第1の書き込み動作
I/O線から第1のラッチ回路に書き込みデータ入力
- 第2の書き込み動作
メモリセルのデータを第2のラッチ回路に読み出して保持
I/O線から第1のラッチ回路に書き込みデータ入力
- 第3の書き込み動作
メモリセルのデータを第2, 第3のラッチ回路に読み出して保持
I/O線から第1のラッチ回路に書き込みデータ入力
- 第4の書き込み動作
メモリセルのデータを第2, 第3, 第4のラッチ回路に読み出して保持
I/O線から第1のラッチ回路に書き込みデータ入力

【図37】

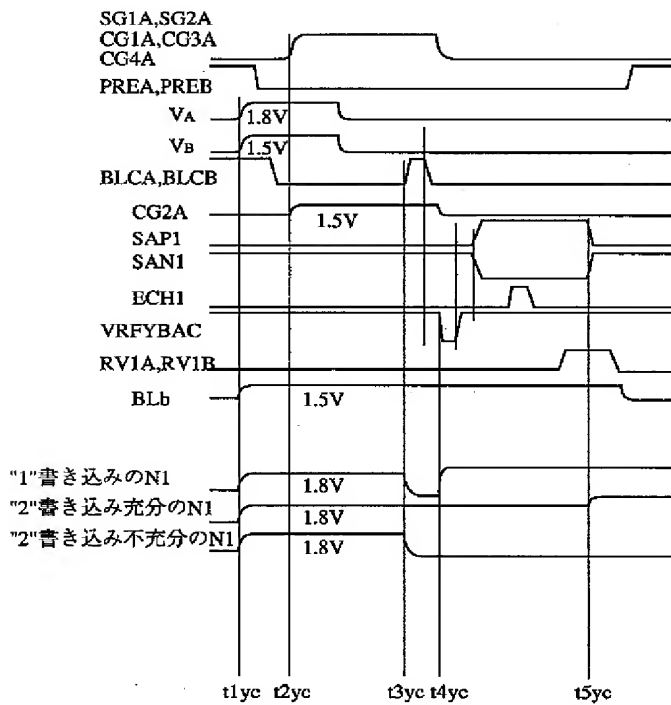


下位ページの別のベリファイリード

【図56】

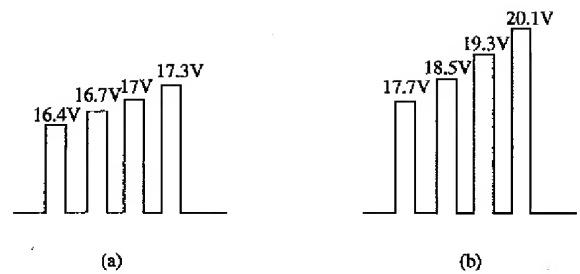


【図39】

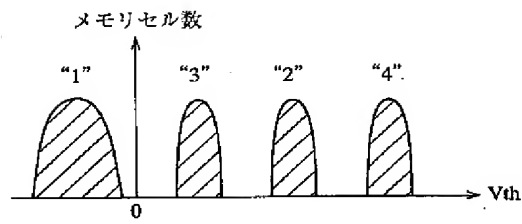


上位ページのベリファイリード

【図59】



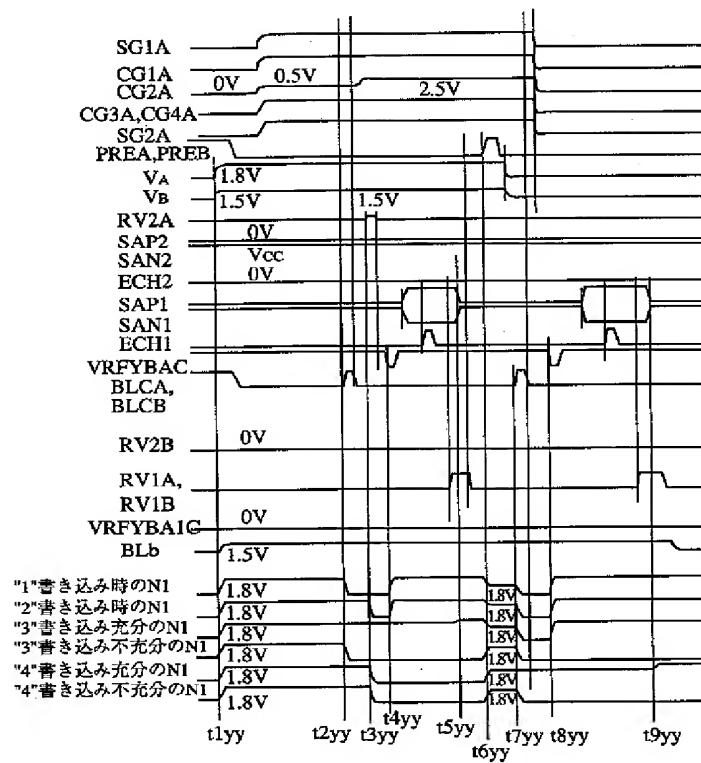
【図41】



	"1" 上位ページは High 下位ページは High	"3" 上位ページは High 下位ページは Low	"2" 上位ページは Low 下位ページは High	"4" 上位ページは Low 下位ページは Low
N3C	H	L	H	L
N4C	L	H	L	H
N5C	H	H	L	L
N6C	L	L	H	H

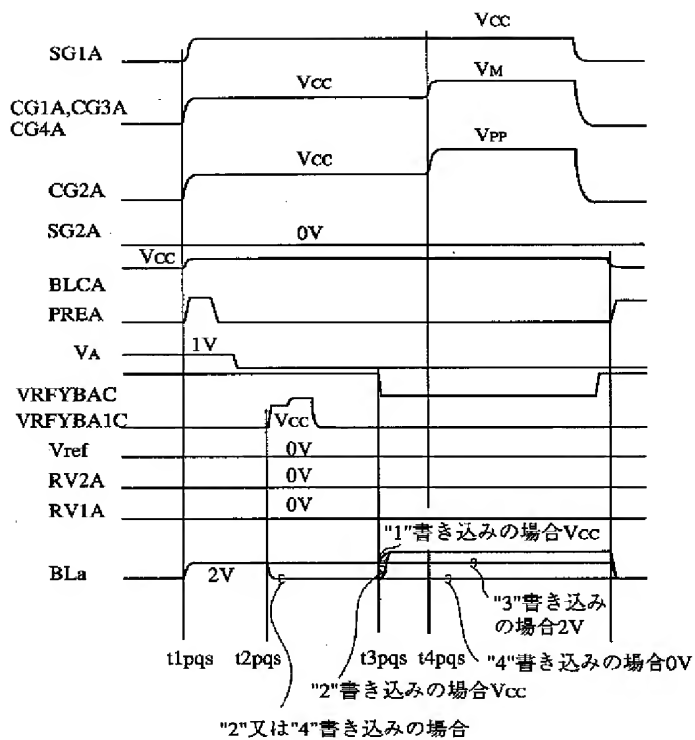
下位ページの書き込み時のデータ回路のノード

【図43】



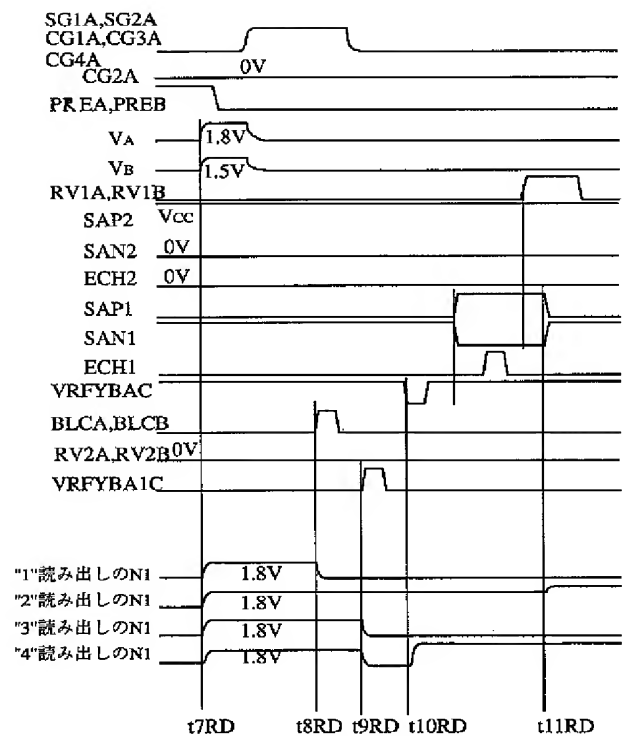
下位ページのペリファイリード

【図44】

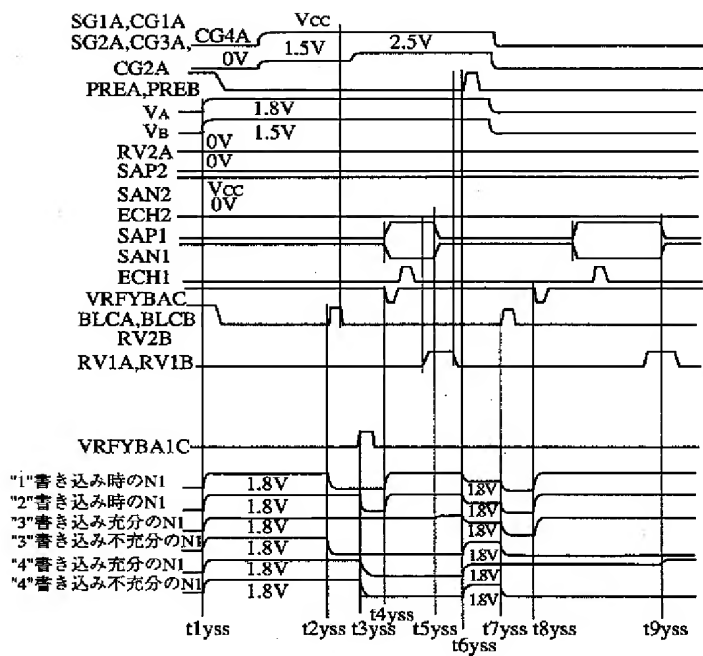


下位ページの別の書き込み方

【図66】

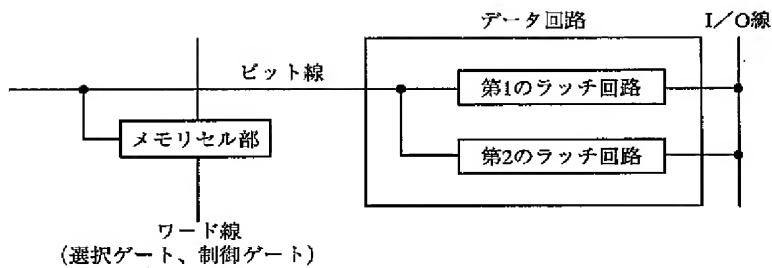


【図45】



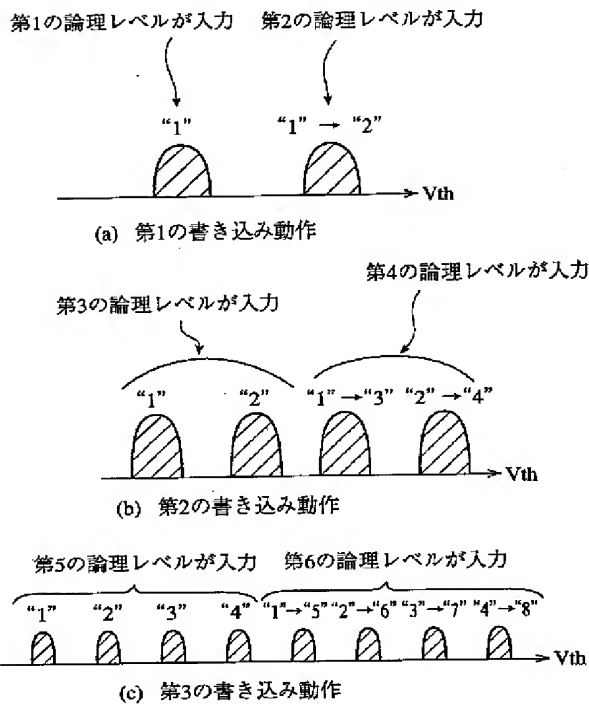
下位ページの別のペリファイリード

【図47】

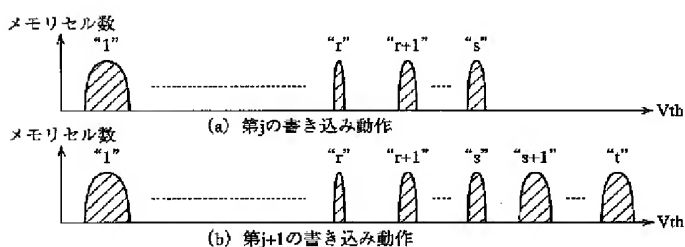


- (a) 第1の書き込み動作
I/O線から第1のラッチ回路に書き込みデータ入力
- (b) 第2の書き込み動作
メモリセルのデータを第2のラッチ回路に読み出して保持
I/O線から第1のラッチ回路に書き込みデータ入力

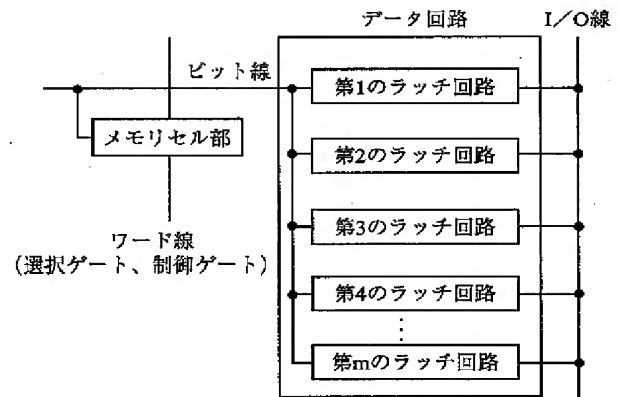
【図48】



【図62】

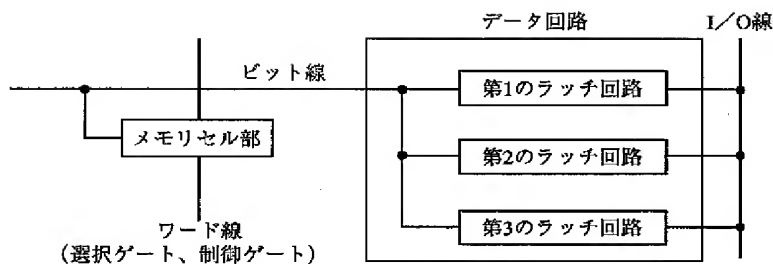


【図53】



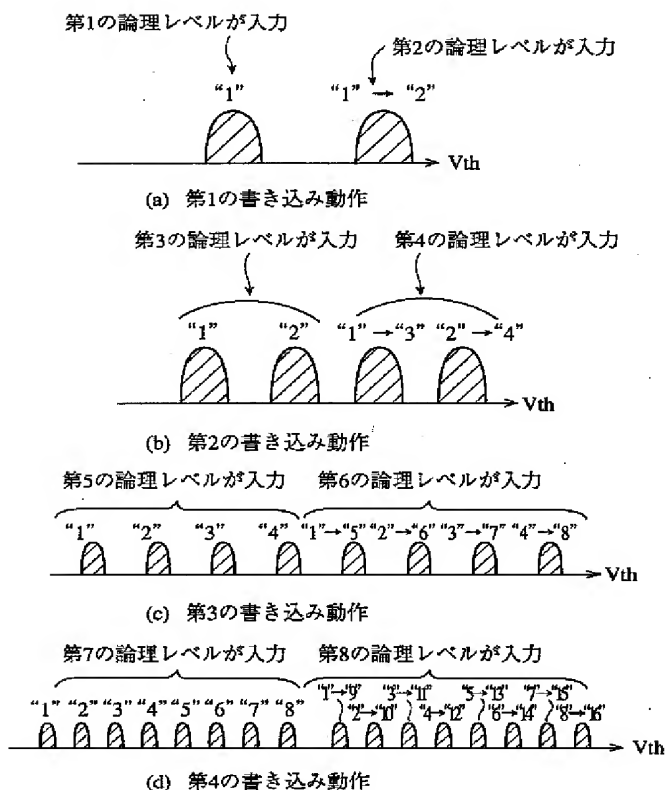
- (a) 第1の書き込み動作
I/O線から第1のラッチ回路に書き込みデータ入力
- (b) 第2の書き込み動作
メモリセルのデータを第2のラッチ回路に読み出して保持
I/O線から第1のラッチ回路に書き込みデータ入力
- (c) 第3の書き込み動作
メモリセルのデータを第2, 第3のラッチ回路に読み出して保持
I/O線から第1のラッチ回路に書き込みデータ入力
- (d) 第4の書き込み動作
メモリセルのデータを第2, 第3, 第4のラッチ回路に読み出して保持
I/O線から第1のラッチ回路に書き込みデータ入力
- (e) 第mの書き込み動作
メモリセルのデータを第2, 第3, ..., 第mのラッチ回路に読み出して保持
I/O線から第1のラッチ回路に書き込みデータ入力

【図49】

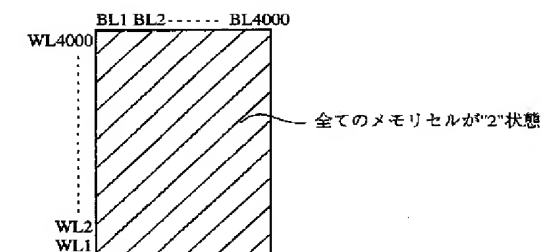


- (a) 第1の書き込み動作
I/O線から第1のラッチ回路に書き込みデータ入力
- (b) 第2の書き込み動作
メモリセルのデータを第2のラッチ回路に読み出して保持
I/O線から第1のラッチ回路に書き込みデータ入力
- (c) 第3の書き込み動作
メモリセルのデータを第2、第3のラッチ回路に読み出して保持
I/O線から第1のラッチ回路に書き込みデータ入力

【図50】

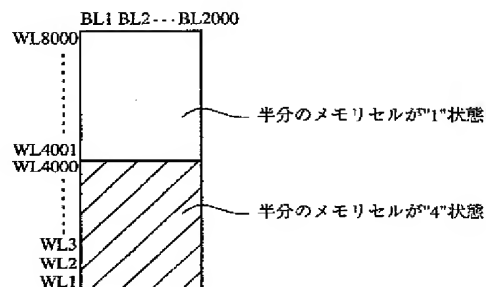


【図69】



本実施形態のメモリセルアレイに16Mビットのデータが書き込まれる場合

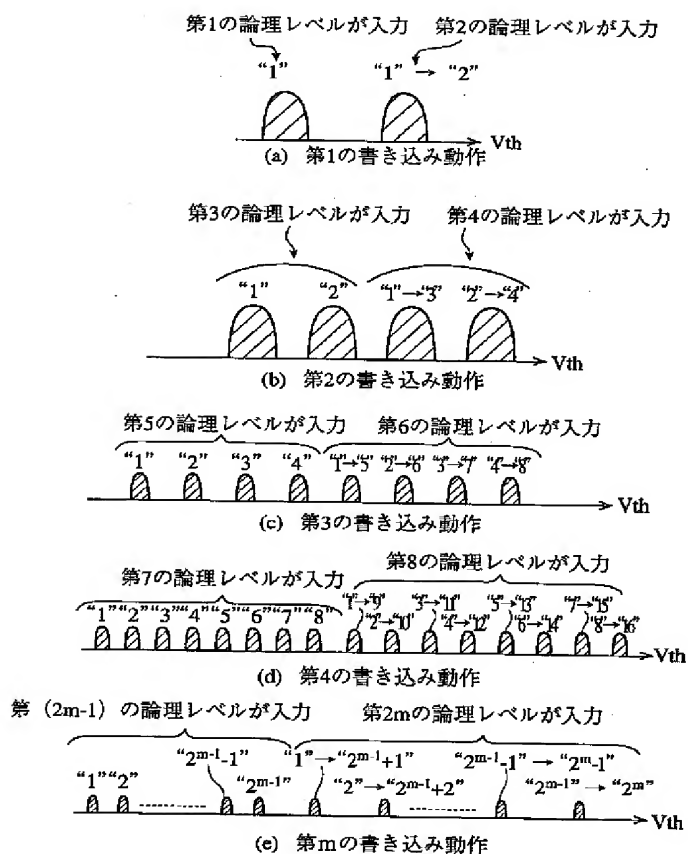
(a)



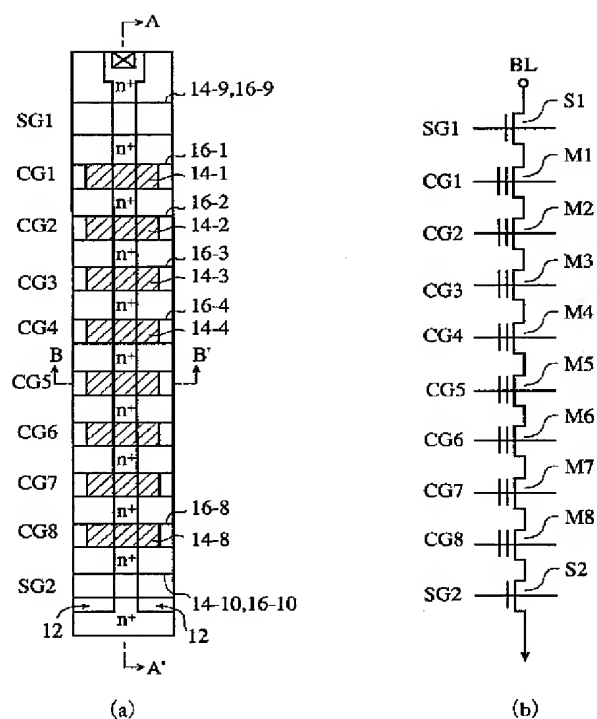
従来のメモリセルアレイに16Mビットのデータが書き込まれる場合

(b)

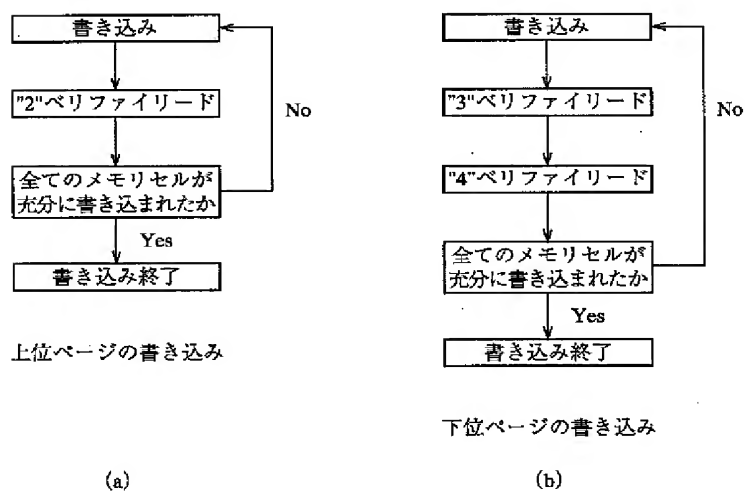
【図52】



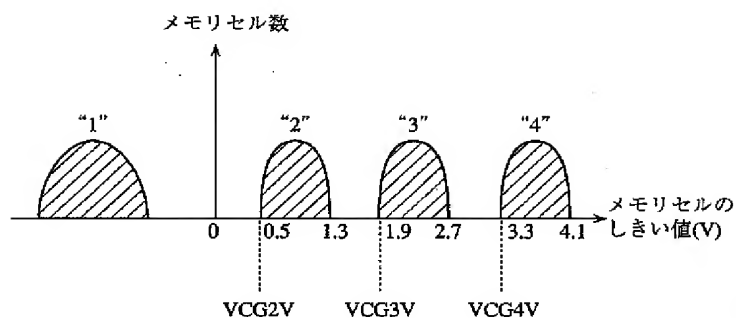
【図74】



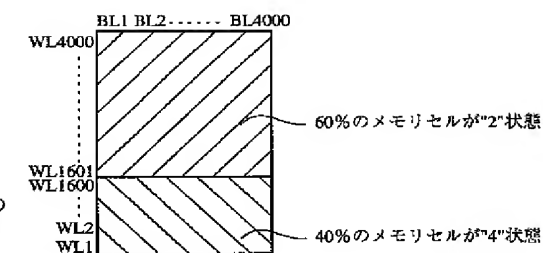
【図54】



【図55】



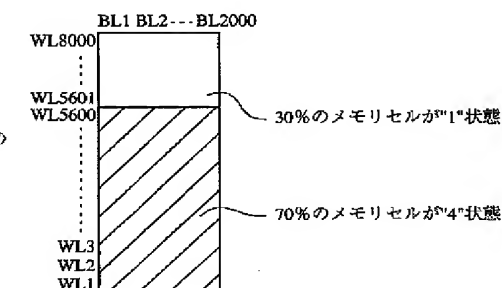
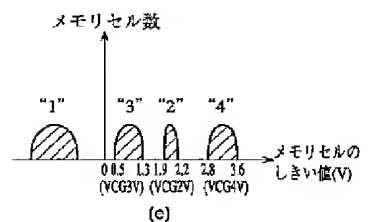
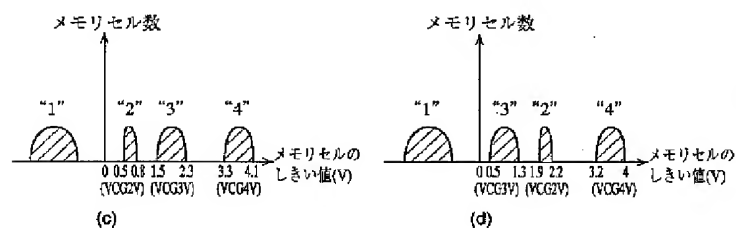
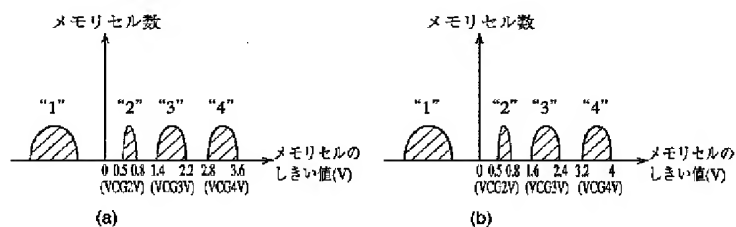
【図70】



本実施形態のメモリセルアレイに70%分のデータが書き込まれる場合

(a)

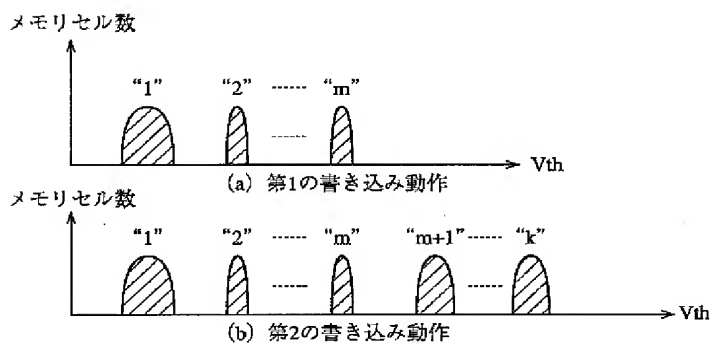
【図57】



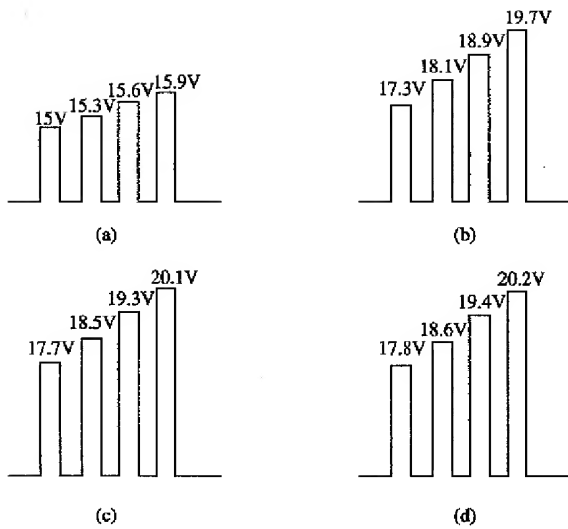
従来のメモリセルアレイに70%分のデータが書き込まれる場合

(b)

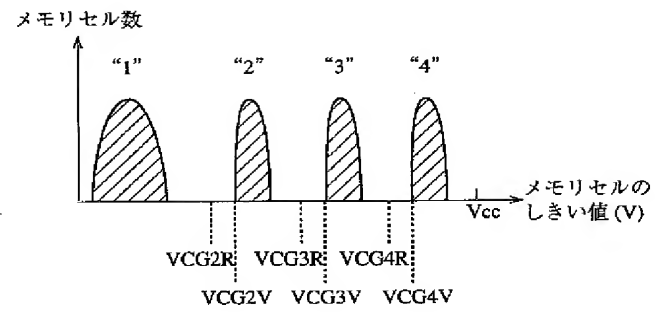
【図61】



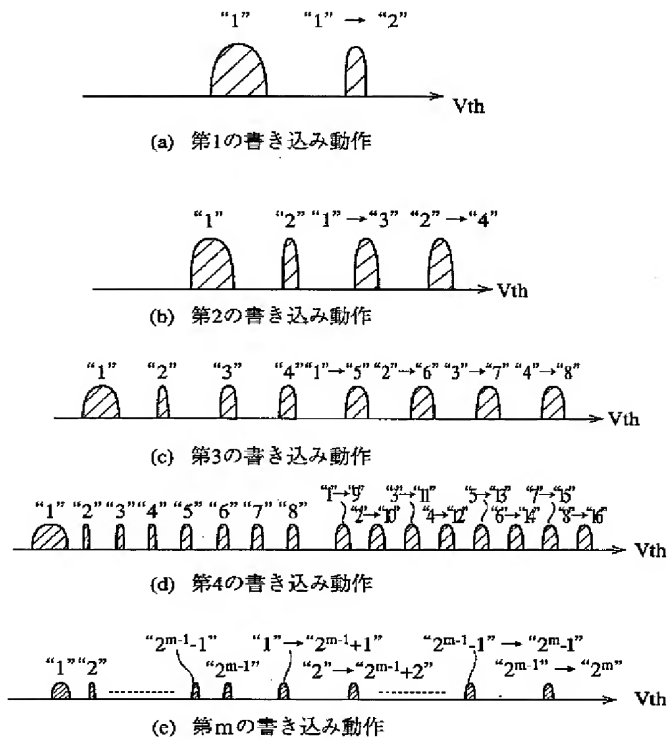
【図58】



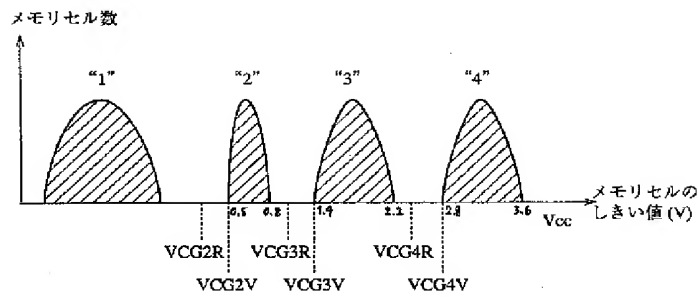
【図77】



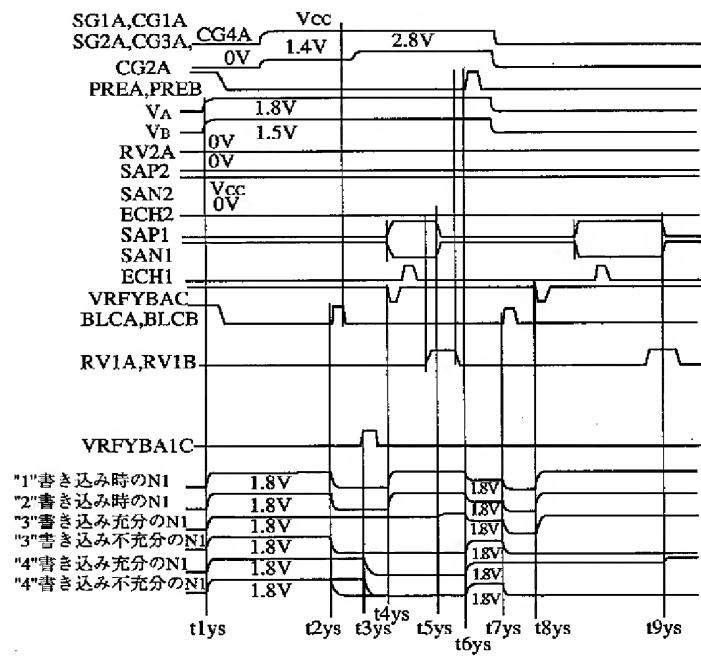
【図60】



【図63】

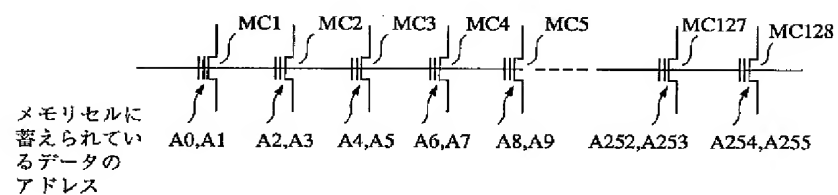


【図64】

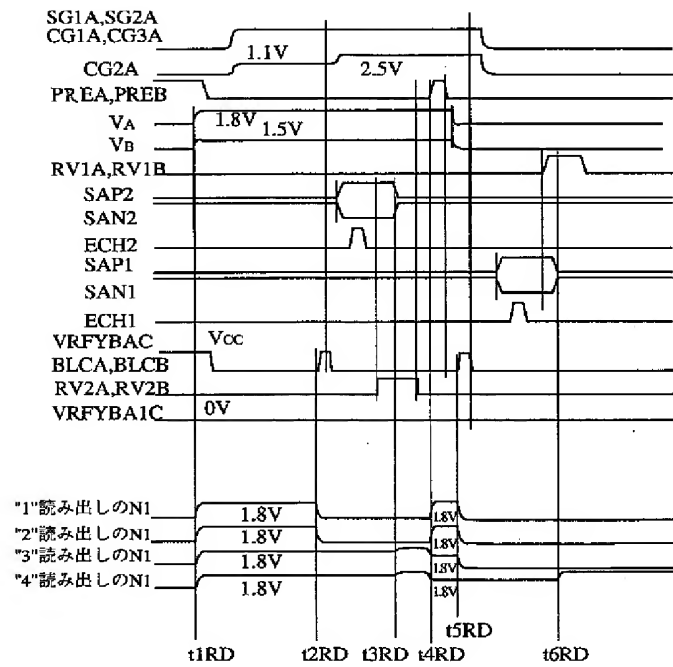


下位ページのベリファイリード

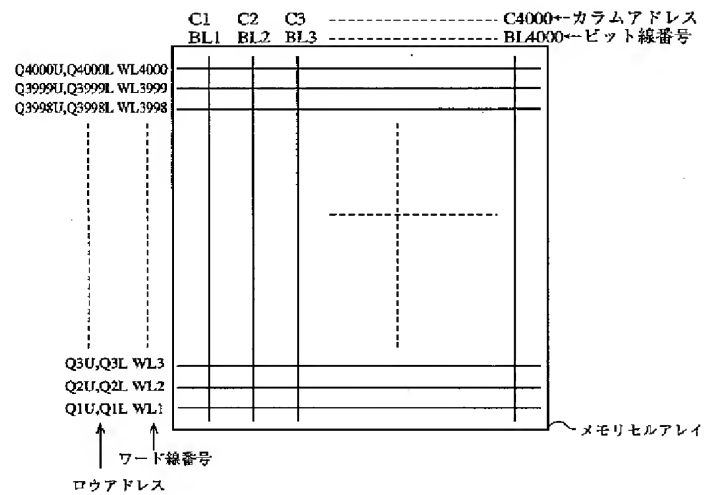
【図79】



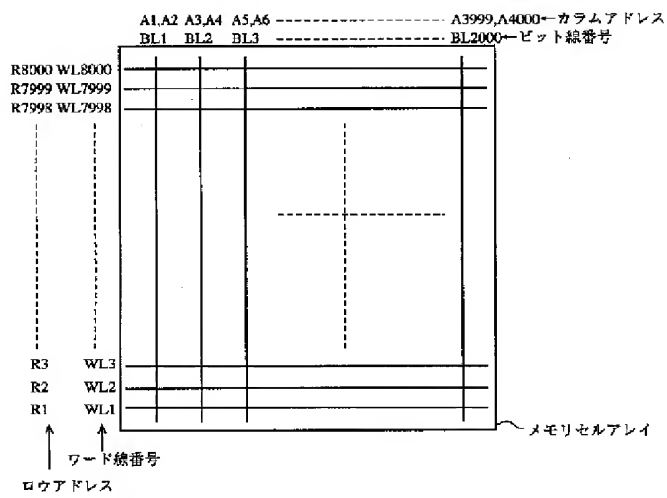
【図65】



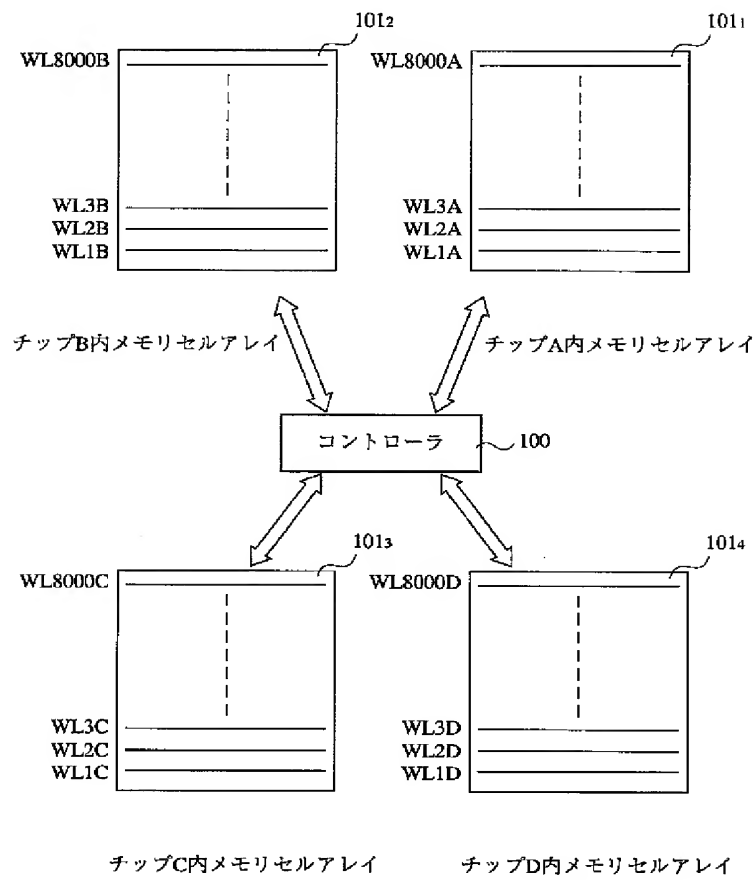
【図67】



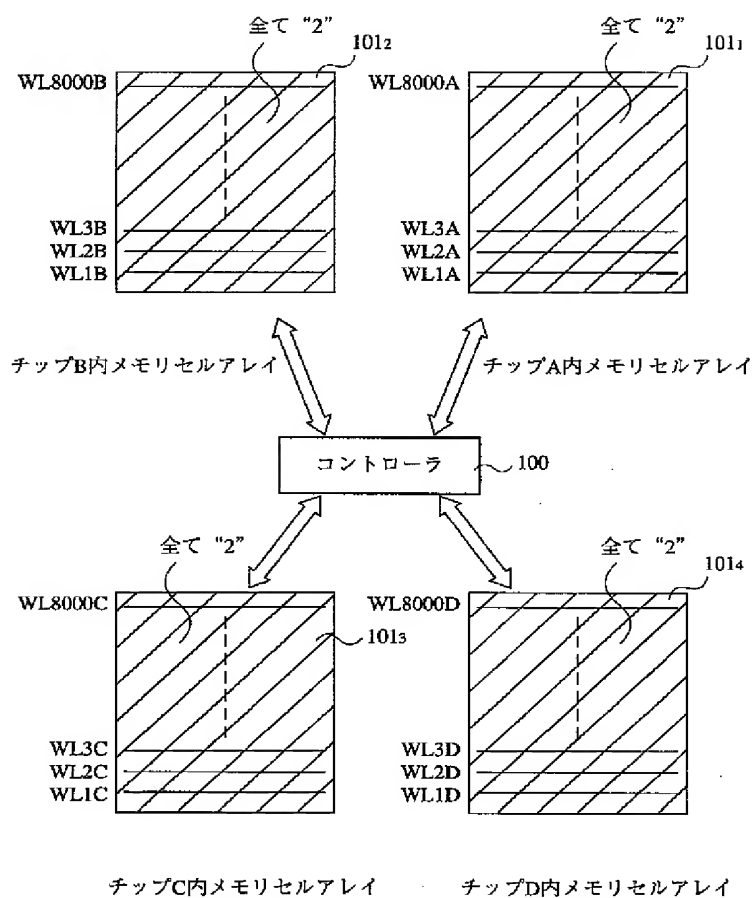
【図68】



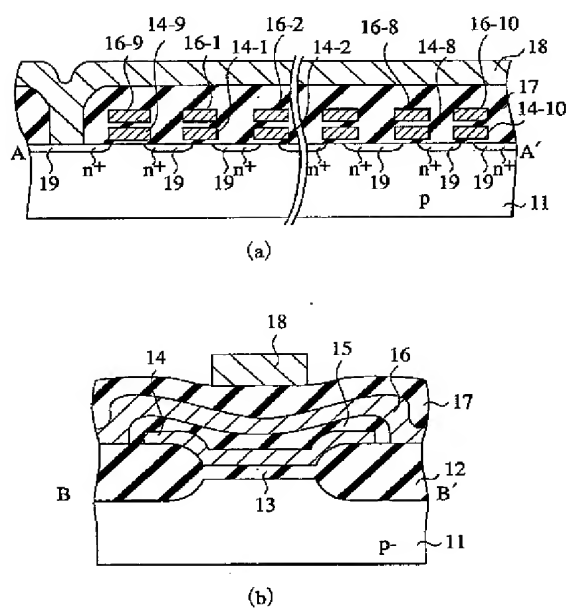
【図71】



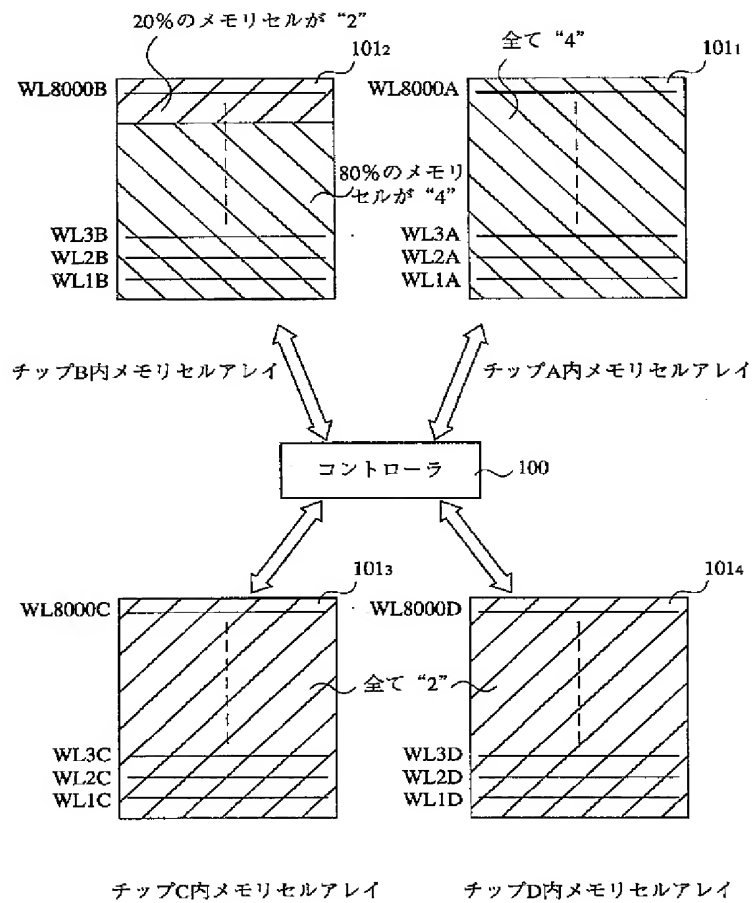
【图 7 2】



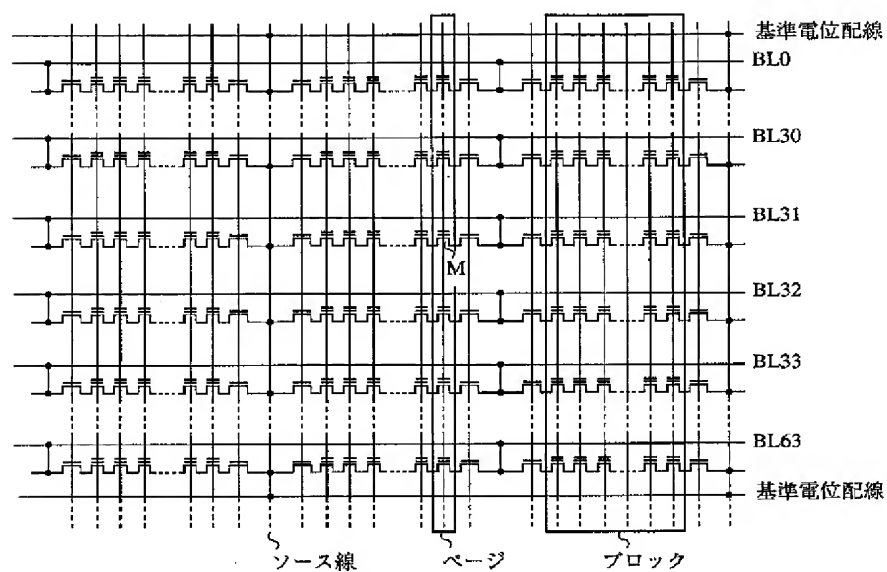
【例 75】



【図73】



【図76】



【図78】

